

09/842,800



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月20日

出 願 番 号

Application Number:

特願2001-123191

出 願 人

Applicant(s):

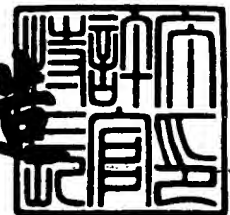
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3044923

【書類名】 特許願

【整理番号】 13021901

【提出日】 平成13年 4月20日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置、画像制御半導体装置、および表示装置の駆動方法

【請求項の数】 37

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝 深谷工場内

【氏名】 中 村 卓

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝 深谷工場内

【氏名】 原 田 望

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町72番地

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【先の出願に基づく優先権主張】

【出願番号】 特願2000-127093

【出願日】 平成12年 4月27日

【先の出願に基づく優先権主張】

【出願番号】 特願2000-321530

【出願日】 平成12年10月20日

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0102514

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置、画像制御半導体装置、および表示装置の駆動方法

【特許請求の範囲】

【請求項 1】

絶縁基板上に縦横に列設される信号線および走査線と、
信号線および走査線の各交点付近に形成される表示素子と、
前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、
前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、
前記信号線駆動回路による信号線の駆動順序に合わせた順序でデジタル画素データを出力するグラフィックコントローラ IC と、を備え、
前記グラフィックコントローラ IC は、前記デジタル画素データの周期の 2 倍以上の周期でクロック信号を出力し、
前記信号線駆動回路および前記走査線駆動回路は、前記クロック信号に同期させて、それぞれ信号線および走査線の駆動を行うことを特徴とする表示装置。

【請求項 2】

前記グラフィックコントローラ IC は、前記絶縁基板上に実装されることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記グラフィックコントローラ IC は、前記デジタル画素データおよび前記クロック信号の位相調整を行う位相調整回路を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記グラフィックコントローラ IC は、前記クロック信号、同期信号、および前記デジタル画素データの他に、前記信号線駆動回路および前記走査線駆動回路の駆動開始を指示する制御信号を出力することを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記グラフィックコントローラ IC は、前記デジタル画素データを出力する画素データ出力回路を有し、

前記画素データ出力回路は、有効な前記デジタル画素データを出力しない期間内に、前記デジタル画素データのハイレベル電圧とローレベル電圧との中間レベル電圧を出力することを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記表示素子、前記信号線駆動回路および前記走査線駆動回路は、ポリシリコン T F T (Thin Film Transistor) を用いて形成され、

前記グラフィックコントローラ I C は、前記ポリシリコン T F T が安定動作する周波数の前記クロック信号を出力することを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記信号線駆動回路は、前記グラフィックコントローラ I C から出力された各信号のレベル変換を行う単相入力レベル変換回路を有し、

前記レベル変換回路は、前記グラフィックコントローラ I C から出力された各信号を前記信号線駆動回路内のインバータのしきい値電圧を中心として上下に略等しい電圧ずつ変化する電圧に変換することを特徴とする請求項 1 に記載の表示装置。

【請求項 8】

前記レベル変換回路は、

一端が入力端子に接続されたキャパシタ素子と、

前記キャパシタ素子の他端に接続されたインバータと、

前記インバータの入出力端子間に接続されたアナログスイッチと、を有し、

前記アナログスイッチをオン・オフさせることにより、前記インバータの入力電圧を、前記インバータのしきい値電圧を中心として上下に略等しい電圧ずつ変化させることを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

前記信号線駆動回路は、

前記レベル変換回路でレベル変換された後の前記デジタル画素データを前記クロック信号にて順にラッチして並列に振り分けて出力する分周回路を有し、

前記分周回路は、奇数番目の前記デジタル画素データと、そのデータに隣接す

る偶数番目の前記デジタル画素データとを、それぞれ同タイミングで、前記クロック信号の 2 倍の周期で出力することを特徴とする請求項 7 に記載の表示装置。

【請求項 1 0】

前記信号線駆動回路は、

信号線を N 本（N は 2 以上の整数）おきに駆動するために設けられる信号線の総数の $1/N$ 個のラッチ回路と、

前記ラッチ回路でラッチされたデジタル画素データをアナログ電圧に変換する D/A コンバータと、を有し、

前記グラフィックコントローラ IC は、前記信号線駆動回路による信号線の駆動順序に合わせて前記デジタル画素データを出力することを特徴とする請求項 1 に記載の表示装置。

【請求項 1 1】

前記グラフィックコントローラ IC は、前記デジタル画素データおよび前記クロック信号の他に、前記クロック信号と位相が半周期シフトした他のクロック信号を出力することを特徴とする請求項 1 に記載の表示装置。

【請求項 1 2】

絶縁基板上に縦横に列設される信号線および走査線と、

信号線および走査線の各交点付近に形成される表示素子と、

前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、

前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、

絶縁基板の一辺の略中央から前記一辺の両端に向けてそれぞれ配置される複数のデータバスと、

前記信号線駆動回路により各信号線が複数本おきに同時に駆動されるように、前記データバス上を伝搬するデジタル画素データの順序制御を行う順序制御回路と、を備えることを特徴とする表示装置。

【請求項 1 3】

複数本おきに配置される信号線のそれぞれに供給されるデジタル画素データを順次ラッチする第 1 ラッチ回路と、

前記第 1 ラッチ回路でのラッチ動作が一通り終了した時点で、すべてのラッチ

データを同時に再ラッチする第 2 ラッチ回路と、

前記第 2 ラッチ回路でラッチされた各デジタル画素データをアナログ画素電圧に同時に変換する D/A 変換回路と、

前記アナログ画素電圧を供給する信号線を選択する選択回路と、を備えることを特徴とする請求項 1 2 に記載の表示装置。

【請求項 1 4】

前記第 2 ラッチ回路は、複数のグループに分けてデジタル画素データのラッチを行い、

前記 D/A 変換回路は、前記第 2 ラッチ回路でラッチされたデジタル画素データを、各グループごとにそれぞれ同時にアナログ画素電圧に変換することを特徴とする請求項 1 3 に記載の表示装置。

【請求項 1 5】

前記第 2 ラッチ回路は、第 1 ～第 N（N は 2 以上の整数）のラッチ部を有し、

前記 D/A 変換回路は、前記第 2 ラッチ回路の前記第 1 ～第 N のラッチ部でラッチされた各デジタル画素データを同時にアナログ画素電圧に変換することを特徴とする請求項 1 3 に記載の表示装置。

【請求項 1 6】

表示更新を行う前記表示素子の範囲を指定するアドレスを発生するアドレス発生回路と、

前記信号線、前記走査線、前記表示素子、前記信号線駆動回路、前記走査線駆動回路、前記書き込み制御回路および前記データバスが形成される第 1 の基板と

前記並び替え回路と前記アドレス発生回路とが形成される第 2 の基板と、を備え、

前記並び替え回路からデジタル画素データを前記データバスに供給する際、デジタル画素データの先頭データに先立って前記アドレス発生回路からのアドレスを画素データ出力端子から出力することを特徴とする請求項 1 2 に記載の表示装置。

【請求項 1 7】

表示更新を行う前記表示素子の範囲を指定するアドレスを発生するアドレス発生回路と、

前記信号線、前記走査線、前記表示素子、前記信号線駆動回路、前記走査線駆動回路、前記書き込み制御回路および前記データバスが形成される第 1 の基板と

前記並び替え回路と前記アドレス発生回路とが形成される第 2 の基板と、を備え、

前記第 2 の基板から前記第 1 の基板に伝送されるイネーブル信号線を用いて、前記アドレス発生回路で発生されたアドレスを画素データ出力端子から出力することを特徴とする請求項 1 2 に記載の表示装置。

【請求項 1 8】

縦横に列設された複数の 1 ビットメモリからなるメモリセルと、

前記複数の 1 ビットメモリの値に応じて表示を可変制御可能な表示層と、

前記メモリセルへの書き込みを制御する書き込み制御回路と、

絶縁基板の一辺の略中央から前記一辺の両端に向けてそれぞれ配置される複数のデータバスと、

前記書き込み制御回路により前記 1 ビットメモリが複数個ごとに同時に駆動されるように、前記データバス上を伝搬するデジタル画素データの順序を制御する順序制御回路と、を備えることを特徴とする表示装置。

【請求項 1 9】

前記 1 ビットメモリの隣接する複数個で 1 画素が構成され、

1 画素内には、赤色用の複数の前記 1 ビットメモリと、緑色用の複数の前記 1 ビットメモリと、青色用の複数の前記 1 ビットメモリとが設けられることを特徴とする請求項 1 8 に記載の表示装置。

【請求項 2 0】

複数個ごとに配置される前記 1 ビットメモリのそれぞれに供給されるデジタル画素データを順次ラッチする第 1 ラッチ回路と、

前記第 1 ラッチ回路でのラッチ動作が一通り終了した時点で、すべてのラッチデータを同時に再ラッチする第 2 ラッチ回路と、

前記第 2 ラッチ回路でラッチされた各デジタル画素データを電圧増幅するビット線駆動回路と、

前記ビット線駆動回路の出力を供給するビット線を選択する選択回路と、を備えることを特徴とする請求項 1 8 に記載の表示装置。

【請求項 2 1】

前記メモリセル内のデータ書き換えを行う範囲を指定するアドレスを発生するアドレス発生回路と、

前記メモリセル、前記書き込み制御回路および前記データバスが形成される第 1 の基板と、

前記並び替え回路と前記アドレス発生回路とが形成される第 2 の基板と、を備え、

前記並び替え回路からデジタル画素データを前記データバスに供給する際、デジタル画素データの先頭データに先立って前記アドレス発生回路からのアドレスを画素データ出力端子から出力することを特徴とする請求項 1 8 に記載の表示装置。

【請求項 2 2】

前記メモリセル内のデータ書き換えを行う範囲を指定するアドレスを発生するアドレス発生回路と、

前記メモリセル、前記書き込み制御回路および前記データバスが形成される第 1 の基板と、

前記並び替え回路と前記アドレス発生回路とが形成される第 2 の基板と、を備え、

前記第 2 の基板から前記第 1 の基板に伝送されるイネーブル信号線を用いて、前記アドレス発生回路で発生されたアドレスを前記第 1 の基板に供給することを特徴とする請求項 1 8 に記載の表示装置。

【請求項 2 3】

外部から供給されたデジタル画素データを第 1 電圧振幅のデータにレベル変換する第 1 レベル変換回路と、

前記第 1 レベル変換回路でレベル変換されたデータを分周する分周回路と、

前記分周回路で分周されたデータを前記第 1 電圧振幅よりも電圧振幅の小さい第 2 電圧振幅のデータにレベル変換して前記データバスに供給する第 2 レベル変換回路と、

前記データバス上のデータを前記第 2 電圧振幅よりも電圧振幅の大きい第 3 電圧振幅のデータにレベル変換して前記第 1 ラッチ回路に供給する第 3 レベル変換回路と、を備えることを特徴とする請求項 1 3 に記載の表示装置。

【請求項 2 4】

絶縁基板の一辺の略中央から前記一辺の一端側に配置されるデータバス上を伝搬するデジタル画素データのサンプリングクロックの位相およびデューティを独立に調整する位相デューティ調整回路を備えることを特徴とする請求項 1 2 に記載の表示装置。

【請求項 2 5】

絶縁基板上に縦横に列設される信号線および走査線と、

前記信号線および走査線の各交点付近に形成される表示素子と、

前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、

前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、を備え、

前記信号線駆動回路は、

1 水平ライン分の第 1 の色のデジタル画素データを奇数画素および偶数画素に分けてラッチし、その所定期間後に第 2 の色のデジタル画素データを奇数画素および偶数画素に分けてラッチするとともに前記第 1 の色のラッチデータを D/A 変換して対応する信号線に供給し、その所定期間後に第 3 の色のデジタル画素データを奇数画素および偶数画素に分けてラッチするとともに前記第 2 の色のラッチデータを D/A 変換して対応する信号線に供給し、その所定期間後に前記第 3 の色のラッチデータを D/A 変換して対応する信号線に供給することを特徴とする表示装置。

【請求項 2 6】

前記絶縁基板上の信号線は n (n は 2 以上の整数) 個のブロックに分割され、

前記絶縁基板上の信号線は n (n は 2 以上の整数) 個のブロックに分割され、

前記ブロックのそれぞれごとに、1 水平ライン分の前記第 1 の色に対応するデ

デジタル画素データを奇数画素および偶数画素に分けて順にラッチし、その所定期間後に前記第 2 の色に対応するデジタル画素データを奇数画素および偶数画素に分けて順にラッチし、その所定期間後に前記第 3 の色に対応するデジタル画素データを奇数画素および偶数画素に分けて順にラッチする第 1 のラッチ回路と、

前記ブロックのそれぞれごとに、前記第 1 のラッチ回路のラッチ出力のうち、前記第 1、第 2 または第 3 の色の奇数画素すべてのラッチ出力を同時にラッチする第 2 のラッチ回路と、

前記ブロックのそれぞれごとに、前記第 1 のラッチ回路のラッチ出力のうち、前記第 1、第 2 または第 3 の色の偶数画素すべてのラッチ出力を同時にラッチする第 3 のラッチ回路と、

前記ブロックのそれぞれごとに、前記第 2 および第 3 のラッチ回路のラッチ出力を同時にアナログ画素電圧に変換する D/A 変換器と、

前記ブロックのそれぞれごとに、前記 D/A 変換器で変換されたアナログ画素電圧を対応する信号線に供給する選択回路と、を備えることを特徴とする請求項 25 に記載の表示装置。

【請求項 27】

デジタル画素データを格納する画像メモリの読み出し／書き込みを制御する VRAM 制御部と、

信号線の駆動順序に合わせて前記デジタル画素データの出力順序を変更する出力順序制御回路と、

絶縁基板上に列設された複数の信号線を n (n は 2 以上の整数) 個のブロックに分割し、前記 n 個のブロックのそれぞれに対して前記出力順序制御回路で並べ替えた前記デジタル画素データを並列に出力する画素データ出力部と、

前記 n 個のブロックのそれぞれに対して、信号線駆動回路の駆動開始を指示する第 1 のスタートパルス信号を出力する第 1 のスタートパルス出力部と、を備え

前記画素データ出力部は、前記デジタル画素データを複数の連続出力データグループに分けて、各連続出力データグループを所定期間を隔てて順に出力することを特徴とする画像制御半導体装置。

【請求項 2 8】

前記出力順序制御回路は、

1 水平ライン分の第 1 の色のデジタル画素データを奇数画素および偶数画素に分けてラッチし、その所定期間後に第 2 の色の画素電圧を奇数画素および偶数画素に分けてラッチするとともに前記第 1 の色のラッチデータを D/A 変換して対応する信号線に供給し、その所定期間後に第 3 の色の画素電圧を奇数画素および偶数画素に分けてラッチするとともに前記第 2 の色のラッチデータを D/A 変換して対応する信号線に供給し、その所定期間後に前記第 3 の色のラッチデータを D/A 変換して対応する信号線に供給するように順序制御を行い、

前記第 1 のスタートパルス出力部は、前記所定期間内に前記第 1 のスタートパルス信号を出力することを特徴とする請求項 2 7 に記載の画像制御半導体装置。

【請求項 2 9】

1 画素の表示周波数の 2 倍の周波数の画素クロックを出力する倍周波数クロック出力部と、

前記デジタル画素データと前記画素クロックとの位相調整を行う位相調整部と、を備えることを特徴とする請求項 2 7 に記載の画像制御半導体装置。

【請求項 3 0】

前記画素クロックを分周化したクロックを出力する分周クロック出力部と、1 水平ラインの表示期間を周期とする第 2 のスタートパルス信号を出力する第 2 のスタートパルス出力部と、を備えることを特徴とする請求項 2 9 に記載の画像制御半導体装置。

【請求項 3 1】

前記デジタル画素データはそれぞれ k (k は 2 以上の整数) ビットで構成され、

入力された動作モード指示信号に基づいて、前記画素データ出力部から出力されるデジタル画素データの出力周波数と前記デジタル画素データの有効なビット数とを制御する出力周波数制御部を備えることを特徴とする請求項 2 7 に記載の画像制御半導体装置。

【請求項 3 2】

前記動作モード指示信号は、前記デジタル画素データの有効ビットに関する情報を含んでおり、前記デジタル画素データの指定されたビット以外のビットは所定の論理に固定されることを特徴とする請求項 3 1 に記載の画像制御半導体装置。

【請求項 3 3】

入力された動作モード指示信号に基づいて、前記画素データ出力部から出力されるデジタル画素データの出力周波数および出力振幅を変更する出力周波数制御部を備えることを特徴とする請求項 2 7 に記載の画像制御半導体装置。

【請求項 3 4】

前記動作モード指示信号は、表示画面中の画素データの更新を行う領域を指定する情報を含んでおり、

前記並べ替え回路は、前記動作モード指示信号で指定された領域のみ、新たな前記デジタル画素データを出力することを特徴とする請求項 3 1 に記載の画像制御半導体装置。

【請求項 3 5】

デジタル画素データを格納する画像メモリの読み出し／書き込みを制御する VRAM 制御部と、

前記画像メモリの読み出しアドレスを生成する読み出しアドレス発生部と、

絶縁基板上に列設された複数の信号線を n (n は 2 以上の整数) 個のブロックに分割し、前記 n 個のブロックのそれぞれに対して、前記読み出しアドレス発生部で生成されたアドレスに対応して前記画像メモリから読み出されたデジタル画素データを並列に出力する画素データ出力部と、

前記 n 個のブロックのそれぞれに対して、信号線の駆動開始を指示する第 1 のスタートパルス信号を出力する第 1 のスタートパルス出力部と、を備え、

前記読み出しアドレス発生部は、前記ブロック内のデジタル画素データを p 個 (p は 2 以上の整数) の連続的に出力される小データ群に分け、これら小データ群のそれぞれが所定期間を隔てて出力されるように、前記画像メモリの読み出しアドレスを生成することを特徴とする画像制御半導体装置。

【請求項 3 6】

デジタル画素データを格納する画像メモリの読み出し／書き込みを制御するVRAM制御部と、

前記画像メモリの読み出しアドレスを生成する読み出しアドレス発生部と、
前記絶縁基板上に列設された複数の信号線を n （ n は2以上の整数）個のブロックに分割し、前記 n 個のブロックのそれぞれごとに、前記読み出しアドレス発生部で生成されたアドレスに対応するデジタル画素データを前記画像メモリから読み出す第1の順序制御手段と、

前記第1の順序制御手段により読み出された前記 n 個のブロックの各々ごとのデジタル画素データを p 個（ p は2以上の整数）の連続的に出力される小データ群に順序変更し直し、これら小データ群のそれぞれを所定期間を隔てて出力する第2の順序制御手段と、

前記 p 個の小データ群の各々に先行してスタートパルスを出力する端子を備えることを特徴とする画像制御半導体装置。

【請求項 3 7】

絶縁基板上に縦横に列設される信号線および走査線と、

前記信号線および走査線の各交点付近に形成される表示素子と、

前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、

前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、を備えた表示装置の駆動方法は、

1 水平ライン分の第1の色のデジタル画素データを奇数画素および偶数画素に分けてラッチし、その所定期間後に第2の色の画素電圧を奇数画素および偶数画素に分けてラッチするとともに前記第1の色のラッチデータをD/A変換して対応する信号線に供給し、その所定期間後に第3の色の画素電圧を奇数画素および偶数画素に分けてラッチするとともに前記第2の色のラッチデータをD/A変換して対応する信号線に供給し、その所定期間後に前記第3の色のラッチデータをD/A変換して対応する信号線に供給することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、表示素子と駆動回路を同一の絶縁基板上に形成する表示装置、画像制御半導体装置、および表示装置の駆動方法に関する。

【0002】

【従来の技術】

多数の表示素子を絶縁基板等に縦横に列設した表示装置が知られており、その代表的なものに液晶表示装置がある。

【0003】

この種の従来の表示装置では、表示素子が列設された画素アレイ基板とは別個に、駆動回路基板を設けるのが一般的である。例えば、アクティブマトリクス型の表示素子は、画素アレイ基板上に縦横に列設された信号線および走査線の交点付近に形成され、これ以外に、画素アレイ基板には、各信号線を駆動するための信号線駆動回路と、各走査線を駆動するための走査線駆動回路とが形成されている。

【0004】

一方、駆動回路基板には、CPUからの指示に従ってビットマップへの展開等の画像処理を行うグラフィックコントローラICと、グラフィックコントローラから出力される画素データを画素アレイ基板の構造および駆動に合わせて並べ替える順序変更の役割と、画素アレイ基板や表示装置の周辺回路を制御するための信号を生成する役割をはたすLCDコントローラICとが形成されている。このLCDコントローラICは、ゲートアレイ等で構成される。

【0005】

図36は従来の液晶表示装置のブロック図であり、ガラス基板上にポリシリコンTFTを用いて画素アレイ部1と駆動回路の一部（信号線駆動回路や走査線駆動回路など）を形成し、別基板にCPU100、グラフィックコントローラIC101、およびゲートアレイ（G/A）102を形成した例を示している。

【0006】

図36において、ゲートアレイ102は、グラフィックコントローラIC101から出力されたデジタル画素データの並び替えと画素アレイや表示装置の周辺

回路の制御を行う。ゲートアレイ 1 0 2 の出力は、制御回路 1 0 3、サンプリング回路 1 0 4、およびラッチ回路 1 0 5 を介して D/A コンバータ (DAC) 1 0 6 に入力される。D/A コンバータ 1 0 6 は、デジタル画素データをアナログ電圧に変換する。このアナログ電圧はアンプ (AMP) 1 0 7 で増幅され、選択回路 1 0 8 で選択された各信号線 1 0 9 に供給される。

【 0 0 0 7 】

部品コストの削減および小型化を図るには、部品点数、基板面積および基板の数を減らす必要があるが、従来の表示装置では、グラフィックコントローラ IC 5、ゲートアレイ 1 0 2、信号線駆動回路、および走査線駆動回路等の複数の回路を用いて駆動回路を構成していたため、駆動回路の回路規模を小さくできないという問題がある。

【 0 0 0 8 】

また、最近、液晶表示装置では、高速動作が可能なポリシリコン TFT (Thin Film Transistor) をガラス基板上に形成して、画素アレイ部だけでなく、駆動回路の一部もガラス基板上に形成する技術が進んでいる。

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、ポリシリコン TFT は高速動作が可能といっても、移動度がそれほど速くないため、解像度が高くなって一画素あたりの周期が短くなると、安定に動作しなくなる。したがって、従来は、高速動作が必要なグラフィックコントローラ IC 5 等はガラス基板の外部に設けるのが一般的であり、駆動回路全体を画素アレイ部と一体に形成することはできなかった。

【 0 0 1 0 】

また、従来の液晶表示装置では、ガラス基板上にデータバスが引き回されるため、ガラス基板の面積が大きくて信号線の本数が多いほど、データバスの負荷容量が大きくなってしまう。データバスの負荷容量が大きくなると、波形がなまる等の問題が生じるため、従来は、データバス上を伝搬するデータの電圧振幅を大きくしていた。ところが、データバス上を伝搬するデータの電圧振幅を大きくすると、消費電力が増えるという問題がある。

【 0 0 1 1 】

本発明は、このような点に鑑みてなされたものであり、その目的は、小型化が可能で、高解像度でも安定動作し、かつ消費電力を低減できる表示装置、画像制御半導体装置、および表示装置の駆動方法を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、絶縁基板上に縦横に列設される信号線および走査線と、信号線および走査線の各交点付近に形成される表示素子と、前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、前記信号線駆動回路による信号線の駆動順序に合わせた順序でデジタル画素データを出力するグラフィックコントローラ IC と、を備え、前記グラフィックコントローラ IC は、前記デジタル画素データの周期の 2 倍以上の周期でクロック信号を出力し、前記信号線駆動回路および前記走査線駆動回路は、前記クロック信号に同期させて、それぞれ信号線および走査線の駆動を行う。

【 0 0 1 3 】

また、本発明は、絶縁基板上に縦横に列設される信号線および走査線と、信号線および走査線の各交点付近に形成される表示素子と、前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、絶縁基板の一辺の略中央から前記一辺の両端に向けてそれぞれ配置される複数のデータバスと、前記信号線駆動回路により各信号線が複数本おきに同時に駆動されるように、前記データバス上を伝搬するデジタル画素データの順序制御を行う順序制御回路と、を備える。

【 0 0 1 4 】

また、本発明は、縦横に列設された複数の 1 ビットメモリからなるメモリセルと、前記複数の 1 ビットメモリの値に応じて表示を可変制御可能な表示層と、前記メモリセルへの書き込みを制御する書き込み制御回路と、絶縁基板の一辺の略中央から前記一辺の両端に向けてそれぞれ配置される複数のデータバスと、前記書き込み制御回路により前記 1 ビットメモリが複数個ごとに同時に駆動されるよ

うに、前記データバス上を伝搬するデジタル画素データの順序を制御する順序制御回路と、を備える。

【0015】

また、本発明は、絶縁基板上に縦横に列設される信号線および走査線と、前記信号線および走査線の各交点付近に形成される表示素子と、前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、を備え、前記信号線駆動回路は、1 水平ライン分の第1の色のデジタル画素データを奇数画素および偶数画素に分けてラッチし、その所定期間後に第2の色のデジタル画素データを奇数画素および偶数画素に分けてラッチするとともに前記第1の色のラッチデータをD/A変換して対応する信号線に供給し、その所定期間後に第3の色のデジタル画素データを奇数画素および偶数画素に分けてラッチするとともに前記第2の色のラッチデータをD/A変換して対応する信号線に供給し、その所定期間後に前記第3の色のラッチデータをD/A変換して対応する信号線に供給する。

【0016】

また、本発明は、デジタル画素データを格納する画像メモリの読み出し／書き込みを制御するVRAM制御部と、信号線の駆動順序に合わせて前記デジタル画素データの出力順序を変更する出力順序制御回路と、絶縁基板上に列設された複数の信号線を n (n は2以上の整数)個のブロックに分割し、前記 n 個のブロックのそれぞれに対して前記出力順序制御回路で並べ替えた前記デジタル画素データを並列に出力する画素データ出力部と、前記 n 個のブロックのそれぞれに対して、信号線駆動回路の駆動開始を指示する第1のスタートパルス信号を出力する第1のスタートパルス出力部と、を備え、前記画素データ出力部は、前記デジタル画素データを複数の連続出力データグループに分けて、各連続出力データグループを所定期間を隔てて順に出力する。

【0017】

また、本発明は、デジタル画素データを格納する画像メモリの読み出し／書き込みを制御するVRAM制御部と、前記画像メモリの読み出しアドレスを生成する読み出しアドレス発生部と、絶縁基板上に列設された複数の信号線を n (n は2以

上の整数) 個のブロックに分割し、前記 n 個のブロックのそれぞれに対して、前記読み出しアドレス発生部で生成されたアドレスに対応して前記画像メモリから読み出されたデジタル画素データを並列に出力する画素データ出力部と、前記 n 個のブロックのそれぞれに対して、信号線の駆動開始を指示する第 1 のスタートパルス信号を出力する第 1 のスタートパルス出力部と、を備え、前記読み出しアドレス発生部は、前記ブロック内のデジタル画素データを p 個 (p は 2 以上の整数) の連続的に出力される小データ群に分け、これら小データ群のそれぞれが所定期間を隔てて出力されるように、前記画像メモリの読み出しアドレスを生成する。

【 0 0 1 8 】

【発明の実施の形態】

以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。以下では、表示装置の一例として、画素ごとに TFT (Thin Film Transistor) を有するアクティブマトリクス型の液晶表示装置について主に説明する。

【 0 0 1 9 】

図 1 は本発明に係る表示装置の一実施形態のブロック図である。図 1 の表示装置は、従来の表示装置に比べて、画素アレイ部との信号の送受を行う LCD コントローラ IC (ゲートアレイ) を省略した点と、画素アレイ部が形成されるガラス基板上にグラフィックコントローラ IC 5 を実装する点とに特徴がある。

【 0 0 2 0 】

図 1 では、信号線の駆動に関連する部分のみ図示している。ガラス基板 10 上にポリシリコン TFT を用いて形成された信号線駆動回路 2 は、グラフィックコントローラ IC 5 からの信号を受けて、画素アレイ部 1 に列設された各信号線を駆動する。

【 0 0 2 1 】

図 2 は図 1 の表示装置の斜視図である。図示のように、ガラス基板 10 上には、画素アレイ部 1、信号線駆動回路 2、走査線駆動回路 3、および制御回路 4 がそれぞれポリシリコン TFT を用いて形成され、ガラス基板 10 の端部にはグラフィックコントローラ IC 5 が実装されている。なお、グラフィックコントロー

ラ I C 5 以外の I C チップ（例えば、C P U や表示メモリ等）をガラス基板 1 0 上に実装してもよい。

【 0 0 2 2 】

制御回路 4 は、図 1 に示すように、グラフィックコントローラ I C 5 から出力された各種制御信号（同期信号、ロード信号 L、クロック信号 C L K 等）の電圧レベルを変換するレベルシフタ（L / S）1 1 と、信号線駆動回路 2 内の各部を制御する制御信号出力部 1 2 とを有する。

【 0 0 2 3 】

図 1 において、太線で示したグラフィックコントローラ I C 5 と制御信号出力部 1 2 の内部に、図 3 6 に示したゲートアレイ 1 0 2 の機能が含まれている。

【 0 0 2 4 】

以下では、640×3 本の信号線と 480 本の走査線が画素アレイ部 1 に列設されているものとする。また、グラフィックコントローラ I C 5 は、R G B 各 6 ビットのデジタルデータを信号線駆動回路 2 に供給するものとする。

【 0 0 2 5 】

図 1 の構成を説明する前に、グラフィックコントローラ I C 5 の構成を説明する。図 3 はグラフィックコントローラ I C 5 の内部構成を示すブロック図である。図示のように、グラフィックコントローラ I C 5 は、C P U からの映像データを受け取るホストインタフェース部 3 1 と、レジスタ 3 2 と、受け取った映像データを格納する D R A M や S R A M などのランダムアクセスメモリからなるフレームメモリ (V R A M) 3 3 と、フレームメモリ 3 3 に対する書き込み・読み出しを制御するメモリ制御回路 3 4 と、映像データを一時的に格納する表示 F I F O 3 5 と、画面上に表示されるカーソルデータを一時的に格納するカーソル F I F O 3 6 と、映像データおよびカーソルデータを R G B 各 6 ビット階調のデジタル画素データに変換するルックアップテーブル 3 7 と、デジタル画素データの出力制御を行う画素データ出力回路 3 8 と、クロック信号 C L K の位相調整を行う位相調整回路 3 9 と、クロック信号 C L K および同期信号の出力制御を行う制御信号出力回路 4 0 とを備えている。

【 0 0 2 6 】

画素データ出力回路 3 8 は、R G B 各 6 ビットの計 18 ビットのデジタル画素データを、40ns (25MHz) の周期で順次出力する。制御信号出力回路 4 0 は、12.5MHz のクロック信号 C L K と同期信号とを出力する。クロック信号 C L K の位相は、映像信号に対してほぼ半クロック信号 C L K (20ns) ずれている。

【 0 0 2 7 】

図 4 はグラフィックコントローラ I C 5 の出力タイミング図であり、制御信号であるイネーブル信号 ENAB およびロード信号 L と、クロック信号 C L K と、デジタル画素データ DATA とのタイミング図を示している。

【 0 0 2 8 】

図 4 に示すように、クロック信号 C L K の周期はデジタル画素データ DATA の周期の 2 倍であり、クロック信号 C L K の位相とデジタル画素データ DATA の位相とを互いにずらしている。

【 0 0 2 9 】

このように、クロック信号 C L K の周期をデジタル画素データの周期の 2 倍以上にすることにより、信号線駆動回路 2 に供給されるクロック信号 C L K の周波数を低くすることができ、信号線駆動回路 2 の回路動作を安定化させることができる。また、デジタル画素データ DATA の位相とクロック信号 C L K の位相とを互いにずらすことにより、信号線駆動回路 2 の内部でデジタル画素データを DATA クロック信号 C L K にて確実にラッチできるようになる。

【 0 0 3 0 】

なお、デジタル画素データ DATA とクロック信号 C L K との位相調整は、グラフィックコントローラ I C 5 内の位相調整回路 3 9 で行われる。

【 0 0 3 1 】

図 5 は位相調整回路 3 9 の回路図である。図示のように、位相調整回路 3 9 は、複数のインバータ IV 1 ～ IV 6 を縦続接続して構成される。偶数段目のインバータ IV 2, IV 4, IV 6 の出力端子にはそれぞれスイッチ SW 1 ～ SW 4 が接続されており、これらスイッチ SW 1 ～ SW 4 のいずれか一つのみがオンする。CMOS-IC の場合、インバータ一段あたりの遅延時間は 5 ns 程度であるため、図 5 の回路の場合、10ns 間隔で遅延時間を調整することができる。

【 0 0 3 2 】

なお、スイッチSW1～SW4の切り換えは、製造時等に手動で行ってもよいが、グラフィックコントローラIC5から信号線駆動回路2に信号を送って、その信号が戻ってくるまでの時間に応じて、自動的にスイッチSW1～SW4の切り換えを行ってもよい。

【 0 0 3 3 】

制御信号出力回路40は、図4に示すように、1水平ライン期間の合間、あるいは1フレーム期間の合間のブランキング期間に、同期信号とクロック信号CLKを中間電位に設定する。中間電位に設定することにより、次のサイクルが開始した時点で、同期信号とクロック信号CLKとを迅速に所定の電位に設定することができる。

【 0 0 3 4 】

図6は同期信号とクロック信号CLKを中間電位に設定するための中間電位設定回路の回路図である。この中間電位設定回路は、グラフィックコントローラIC5内の画素データ出力回路39と制御信号出力回路40の内部に設けられる。

【 0 0 3 5 】

中間電位設定回路は、図6に示すように、NMOSトランジスタQ1、Q2とPMOSトランジスタQ3、Q4とを有し、NMOSトランジスタQ2とPMOSトランジスタQ4は電源端子と接地端子との間に直列接続されており、抵抗素子R1、NMOSトランジスタQ1、PMOSトランジスタQ3および抵抗素子R2は電源端子と接地端子との間に直列接続されている。

【 0 0 3 6 】

抵抗素子R1、R2の抵抗値を互いに等しくして十分に高くすることにより、NMOSトランジスタQ1のドレイン端子とNMOSトランジスタQ2のゲート端子はともに $(V_{cc}/2 + V_{tn})$ になり、PMOSトランジスタQ3のドレイン端子とPMOSトランジスタQ4のゲート端子はともに $(V_{cc}/2 + |V_{tp}|)$ になる。これにより、数 μA 程度のわずかな貫通電流で数mAの電流駆動力を得ることができる。

【 0 0 3 7 】

中間電位設定回路の出力端子には、図6に示すように、アナログスイッチSWが

接続されている。このアナログスイッチSWは、ブランキング期間中は中間電位設定回路の出力を選択し、ブランキング期間以外はクロック信号CLK0を選択する。

【 0 0 3 8 】

図 6 では、クロック信号CLKを中間電位に設定する例を示しているが、デジタル画素データDATAも図 6 と同様の回路により、ブランキング期間中に中間電位に設定される。

【 0 0 3 9 】

本実施形態のグラフィックコントローラIC5は、CPUから供給されたデジタル画素データDATAを並び替えて出力する。従来は、図 3 6 に示すように、グラフィックコントローラIC5とは別個のゲートアレイ102の内部にラインメモリを設けてデータの並べ替えを行っていた。これは、グラフィックコントローラIC5の汎用性を高め、ポリシリコンTFTだけでなく、アモルファスシリコンTFTやMIMなどを用いる他のアクティブマトリクス表示装置でも共通して利用できるようにするためである。

【 0 0 4 0 】

これに対して、本実施形態は、グラフィックコントローラIC5内にはそもそもフレームメモリ33（VRAM）という数百キロバイト～数メガバイトの巨大なメモリが存在しており、このメモリの一部を利用してデータの並べ替えを行うことはゲート規模の観点から容易であると判断し、グラフィックコントローラIC5内で並べ替えを行うことにした。

【 0 0 4 1 】

図 7 はフレームメモリ33の制御を行うメモリ制御回路34の内部構成を示す図である。図示のように、メモリ制御回路34は、最下位層にハードウェア層41が、その上位にI/O関数層42が、その上位にドライバ関数層43が、最上位層にアプリケーション層44がある。

【 0 0 4 2 】

ハードウェア層41は、フレームメモリ33に対するアクセスを実際に行う部分である。I/O関数層42は、ハードウェア層41のポートや内部レジスタを書き換えてフレームメモリ33に対するアクセス方法を切り替える部分である。ド

ライバ関数層 4 3 は、上層のアプリケーション層 4 4 から直接呼び出され、画面の初期化、画面の表示制御、矩形描画、およびビットマップ描画等の種々の機能を実現する部分である。アプリケーション層 4 4 は、画像表示のための種々のコマンドを発行する部分である。

【 0 0 4 3 】

I/O関数層 4 2 とドライバ関数層 4 3 は、C 言語などのプログラム言語で生成される。画面の特定領域への描画は、フレームメモリ 3 3 の座標 (x,y)=色情報が格納されたルックアップテーブル 3 7 上のアドレスの形式で記述される。また、フレームメモリ 3 3 からのデータの読み出しも、配列を用いて行う。

【 0 0 4 4 】

フレームメモリ (VRAM) 3 3 のメモリ空間 (VRAM空間) は、図 8 に示すように、一画面分以上の領域があり、ドライバ関数層により VRAM のポインタを制御することにより、VRAM 内の任意の領域を画面に表示することができる。このように、VRAM のメモリ空間を一画面分以上設けることにより、スクロールや画面の切り替えを迅速に行うことができる。

【 0 0 4 5 】

このように、本実施形態のグラフィックコントローラ IC 5 は、デジタル画素データ DATA の順序制御を内部で行うため、ゲートアレイを設ける必要がなくなる。また、クロック信号 CLK の周期をデジタル画素データ DATA の周期の 2 倍以上にするため、ポリシリコン TFT が正常に動作する周波数のクロック信号 CLK を信号線駆動回路 2 に供給できる。

【 0 0 4 6 】

さらに、クロック信号 CLK のエッジとデジタル画素データ DATA の変化位置とをずらして出力するため、信号線駆動回路 2 でデジタル画素データ DATA を確実に取り込むことができる。

【 0 0 4 7 】

一方、本実施形態の信号線駆動回路 2 は、図 9 に詳細なブロック図を示すように、デジタル画素データ DATA の振幅レベルを変換するレベルシフタ (L/S) 5 1 と、デジタル画素データ DATA の周期を 2 倍に引き延ばす分周回路 5 2 と、直列

に並んだデジタル画素データDATAを並列出力するデータ分配回路53と、分配したデジタル画素データDATAをまとめてラッチするラッチ回路(Latch)54と、ラッチしたデジタル画素データDATAをアナログ電圧に変換するD/Aコンバータ(DAC)55と、アナログ電圧のゲイン調整を行うアンプ(AMP)56と、アンプ56から出力されたアナログ画素電圧を選択して個々の信号線に供給する選択回路57とを有する。

【0048】

図10はレベルシフタ51の回路図、図11はレベルシフタ51の入出力信号の波形図である。図11の太線曲線aは入力信号、細線曲線bは出力信号を示している。図10に示すように、レベルシフタ51は、キャパシタ素子C1と、インバータを構成するPMOSトランジスタQ5およびNMOSトランジスタQ6と、アナログスイッチSW5とを有する。

【0049】

レベルシフタ51内のアナログスイッチSW5は、ブランキング期間中に、グラフィックコントローラIC5からのデジタル画素データDATAが中間電位(1.65V)になっているときにオンする。これにより、キャパシタ素子C1の他端bはインバータのしきい値電圧(略2.5V)に等しくなり、キャパシタ素子C1の両端には、 $2.5V - 1.65V = 0.85V$ の電圧が印加される。

【0050】

アナログスイッチSW5がオフすると、グラフィックコントローラIC5から供給されたデジタル画素データDATAは、キャパシタ素子C1の両端電圧0.85Vだけオフセット調整されて伝達される。すなわち、インバータを構成するPMOSトランジスタQ5およびNMOSトランジスタQ6のゲート端子には、インバータのしきい値電圧を中心として上下に同レベルだけ振れる電圧が印加される。

【0051】

このように、インバータのしきい値電圧に対して入力を対称化したことにより、ポリシリコンTFTのしきい値がばらついたり、PMOSトランジスタQ5およびNMOSトランジスタQ6の特性がアンバランスになったり、入力振幅がなまっても、インバータは高速動作し、しかもパルス幅は変化しにくくなる。

【 0 0 5 2 】

図 1 2 は分周回路 5 2 の回路図である。図示のように、分周回路 5 2 は、クロック信号 C L K の 2 周期分のデータ幅にて同位相でデジタル画素データ DATA を出力する 2 つのラッチ回路 6 1, 6 2 を有する。各ラッチ回路 5 4 は、クロックドインバータと、インバータとを有する。

【 0 0 5 3 】

分周回路 5 2 内の各ラッチ回路 5 4 の出力 DATA-E, DATA-O のタイミングは図 1 3 のようになる。図 1 3 では、グラフィックコントローラ I C 5 から出力されたデジタル画素データ DATA を、①②③…で表している。

【 0 0 5 4 】

図 1 3 に示すように、ラッチ回路 6 1, 6 2 はそれぞれデジタル画素データ DATA を一つおきにラッチし、同タイミングで出力する。分周回路 5 2 の出力は、データ分配回路 5 3 に入力される。ラッチ回路 6 1 は、正相クロックのダウンエッジで、ラッチ回路 6 2 は逆相クロックのダウンエッジによりデータラッチを行う。正相クロックだけでなく、逆相クロックもグラフィックコントローラ I C 5 でタイミング調整することが、ラッチマージンを確保する上で望ましい。

【 0 0 5 5 】

本実施形態は、すべての信号線を同時駆動するのではなく、各色ごとに分けて駆動する点に特徴がある。このようにすることで、信号線駆動回路 2 内のラッチ回路 5 4 や D / A コンバータ 5 5 等の個数を削減できる。

【 0 0 5 6 】

データ分配回路 5 3 は、分周回路 5 2 から出力されたデジタル画素データ DATA を順にラッチして並列に振り分ける。ラッチ回路 5 4 は、データ分配回路 5 3 がタイミングをずらしてラッチした複数のデータを同タイミングで再ラッチする。再ラッチされたデータは D / A コンバータ 5 5 に入力されてアナログ電圧に変換された後、アンプ 5 6 で電流増幅されて信号線および所定画素に対して書き込まれる。

【 0 0 5 7 】

図 1 4 は本実施形態の表示装置のガラス基板 1 0 上のレイアウト図である。ま

た、図 1 5 は汎用のグラフィックコントローラ IC を用いて構成した従来の表示装置のチップレイアウト図である。

【 0 0 5 8 】

汎用のグラフィックコントローラ IC は、正順出力されるデジタル画素データと、画素データ幅を周期とするクロックとを出力する。ライン／スペース = $4 \mu\text{m} / 4 \mu\text{m}$ 程度のデザインルールでは、全信号線に対して D/A コンバータを形成することは難しく、複数信号線ごとに D/A コンバータを設けざるを得ない。この場合、正順入力される画素データをいったん一水平期間分ラッチし、所望の順序に並び替える必要がある。

【 0 0 5 9 】

また、図 1 5 の場合、ガラス基板 1 0 上でデジタル画素データの並び替えを行う必要があるため、1 ライン分のラッチ（メモリ）回路を設ける必要があり、ラッチ回路は 6 倍に増大する。このため、データ分配回路 1 0 2、D/A コンバータ 1 0 6、アンプ 1 0 7 および選択回路 1 0 8 を 2 組、上下額縁にそれぞれ分けて設けなければならなくなる。

【 0 0 6 0 】

このように、本実施形態のようにグラフィックコントローラ IC 5 の内部でデジタル画素データ DATA の並び替えを行うようにすると、ガラス基板 1 0 上の構成を簡略化でき、グラフィックコントローラ IC 5 をガラス基板 1 0 上に実装するためのスペースを容易に得ることができる。

【 0 0 6 1 】

図 1 には、本実施形態を利用して V G A 規格（ 640×480 ドット）で R G B 各 6 ビットの液晶表示装置を構成した場合の各部のゲート数が図示されている。図 1 は、信号線を 6 本おきに駆動する例を示している。

【 0 0 6 2 】

図 1 の場合、レベルシフタ 5 1 が各色ごとに 6 個で計 18 個、分周回路 5 2 が各色ごとに 6 個で計 18 個、サンプリング回路 5 3 とラッチ回路 5 4 がそれぞれ各色ごとに 640 個で計 1920 個、D/A コンバータ 5 5 とアンプ 5 6 がそれぞれ 320 個必要になる。この結果、制御回路に 1 K ゲート、分周回路 5 2 に 1 K ゲート、サン

プリング回路およびラッチ回路 5 4 に 13K バイト、D/A コンバータ 5 5、アンプ 5 6 および選択回路に 5 K ゲート必要になる。

【0 0 6 3】

このように、本実施形態では、ゲートアレイが不要になる分と、信号線を N 本（N は 2 以上の任意の整数）おきに駆動することによるサンプリング回路とラッチ回路 5 4 の削減分により、従来に比べて大幅に回路規模を削減できる。

【0 0 6 4】

また、図 1 4 と図 1 5 では、チップの概略サイズを図示している。本実施形態の場合、駆動回路の形成領域の縦方向の長さが 8.3mm 程度であるのに対し、図 1 5 に示す従来の構成では、駆動回路の形成領域の縦方向の長さは $5.0\text{mm} \times 2 = 10\text{mm}$ 程度になり、本実施形態の方が駆動回路の形成領域が小さくなる。

【0 0 6 5】

上述した実施形態では、グラフィックコントローラ IC 5 から出力されるデジタル画素データ DATA の周期をクロック信号 CLK の 2 倍の周期に設定しているが、2 倍より長い周期に設定してもよい。また、グラフィックコントローラ IC 5 から信号線駆動回路 2 に伝送するクロック信号 CLK の周波数は 12.5MHz 以外でもよい。さらに、上述したグラフィックコントローラ IC 5 から出力される信号の種類にも特に制限はない。

【0 0 6 6】

レベルシフタ 5 1 は、図 1 0 に示したものの以外の構成でもよく、図 1 0 以外で構成した場合には、図 4 のようにブランキング期間にクロック信号 CLK やデジタル画素データ DATA を中間レベルにする必要はない。

【0 0 6 7】

上述した実施形態では、表示装置の一例として液晶表示装置について説明したが、信号線および走査線が縦横に列設された他の表示装置（例えば、プラズマディスプレイ装置）などにも本発明は適用可能である。

【0 0 6 8】

さらに、上述した実施形態では、VGA 規格（640×480 ドット）の表示解像度を一例として説明したが、表示解像度には特に制限はない。

【 0 0 6 9 】

(第 2 の実施形態)

第 2 の実施形態は、E L パネル部の左右方向略中央から左右両端側にデータバスを配置して、消費電力の低減を図るものである。

【 0 0 7 0 】

図 1 6 は本発明に係る表示装置の第 2 の実施形態のブロック図である。図 1 6 の表示装置は、ガラス基板上に形成される E L パネル部 2 0 1 と、ガラス基板上または別基板上に実装されるコントローラ I C 2 0 2 とを備えている。

【 0 0 7 1 】

E L パネル部 2 0 1 は、画素ごとに設けられた複数ビットのメモリに基づいて画素の表示階調輝度を制御できる画素アレイ部 2 0 3 と、コントローラ I C 2 0 2 との信号の送受を行う I / F 回路 2 0 4 と、画素アレイ部 2 0 3 の左右方向略中央から左右両端側にそれぞれ配置されるデータバス 2 0 5 a, 2 0 5 b と、データバス 2 0 5 a, 2 0 5 b 上のデジタル画素データをバッファリングするバッファ回路 2 0 6 と、画素アレイ部 2 0 3 内の各ビット線を駆動するビット線駆動回路 2 0 7 と、I / F 回路 2 0 4 からのアドレス信号をラッチするアドレスラッチ回路 2 0 8 と、ラッチしたアドレス信号をバッファリングするアドレスバッファ 2 0 9 と、画素アレイ部 2 0 3 内の各ワード線を駆動するワード線駆動回路 2 1 0 と、各部の制御を行うコントロール回路 2 1 1 とを有する。

【 0 0 7 2 】

コントローラ I C 2 0 2 は、C P U との通信を行う C P U - I / F 部 2 1 2 と、表示メモリ (V R A M) 2 1 3 と、グラフィックコントローラ 2 1 4 と、画素アレイ部 2 0 3 内のアドレスを指定するアドレス発生回路 2 1 5 と、デジタル画素データのバッファリングと一時的な格納を行うバッファ / F I F O 2 1 6 と、データ変換を行うルックアップテーブル (L U T) 2 1 7 と、デジタル画素データの並び替えを行う並べ替え回路 2 1 8 と、ポリシリコン型 T F T 用の I / F 部 (p-Si-I / F 部) 2 1 9 と、アモルファスシリコン型 T F T 用の I / F 部 2 2 0 と、M I M 用の I / F 部 (M I M - I / F 部) 2 2 1 と、出力部 2 2 2 とを有する。こうすることにより、a-Si T F T アクティブマトリクス L C D、M I M アクティブマトリクス

LCDおよびpoly-Si表示装置に接続が可能となり、グラフィックスコントローラの汎用性が広がる。

【0073】

図16のコントローラIC202は、画素アレイ部203を全体的に表示更新できる他、間欠的な表示更新や、部分的な表示更新や、不規則な表示更新を行うこともできる。

【0074】

図17はデータバス205a, 205bの配置を示す図である。図示のように、データバス205a, 205bは、ガラス基板の下辺に沿って配置され、図示の太線矢印の方向からデジタル画素データが入力され、点線矢印に沿ってデジタル画素データが伝搬される。なお、以下の説明では、デジタル画素データはRGBの各色ともに6ビットとする。

【0075】

図17は画素アレイ部203の中央から左側領域と右側領域にそれぞれ960本のビット線が配置され、ビット線を3本おきに駆動する例を示している。すなわち、同時に駆動されるビット線は、 $960/3=320$ である。この場合、ロードラッチは画面の半分毎に、 320×6 ビット分必要となる。サンプリングラッチはロードラッチの半分の 160×6 ビット分設けた。

【0076】

図18はデータバス205a, 205b上のデータの並び順を示す図、図19は図16の表示装置のタイミング図である。図示のように、データバス205a, 205bには、赤色の奇数(odd)画素データが2画素分ずつ左右に分けて伝送される(図19の時刻 $t_1 \sim t_2$)。具体的には、まず、左側のデータバス205a, 205bにデータR1, R3が、右側のデータバス205a, 205bにデータR637, R639が同時に送られる。次に、左側のデータバス205a, 205bにデータR5, R7が、右側のデータバス205a, 205bにデータR633, R635が同時に送られる。このように、サンプリングラッチ231は、4画素分のデータ(計 4×6 ビット=24ビット)ごとに順にラッチを行う。

【 0 0 7 7 】

サンプリングラッチ 2 3 1 が赤色の奇数画素データすべてをラッチし終わった時点（図 1 9 の時刻 t 2）で、t2とt3の間の小さなデータブランキング期間に、ロードラッチ 232a はこれら全データを同時にラッチする。

【 0 0 7 8 】

その後、データバス 2 0 5 a, 2 0 5 b には、赤色の偶数 (even) 画素データが 2 画素分ずつ左右に分けて伝送される（図 1 9 の時刻 t 3 ~ t 4）。具体的には、まず、左側のデータバス 2 0 5 a, 2 0 5 b にデータ R 2, R 4 が、右側のデータバス 2 0 5 a, 2 0 5 b にデータ R 6 3 8, R 6 4 0 が同時に送られる。次に、左側のデータバス 2 0 5 a, 2 0 5 b にデータ R 6, R 8 が、右側のデータバス 2 0 5 a, 2 0 5 b に R 6 3 4, R 6 3 6 が同時に送られる。このように、サンプリングラッチ 2 3 1 は、4 画素分のデータ（計 4 × 6 ビット = 2 4 ビット）ごとに順にラッチを行う。

【 0 0 7 9 】

R の奇数データと R の偶数データの間にブランク期間を設けた効果で、サンプリングラッチを 2 回繰返して使うことができ、サンプリングラッチの数をロードラッチの半分に減らすことが可能となる。本例では、R データを奇数、偶数の 2 グループに分け、サンプリングラッチ数を半減した。拡張すれば、R データを「3 で割って余りが 1 のグループ、余りが 2 のグループ、余りが 3 のグループ」と分け、それぞれのデータ期間の間に小さいブランク期間を設け、サンプリングラッチを 3 回繰返し使うことにすれば、サンプリングラッチの数をロードラッチの数の 3 分の 1 に減らすことが可能である。

【 0 0 8 0 】

サンプリングラッチ 2 3 1 が赤色の奇数および偶数画素データすべてをラッチし終わった時点（図 1 9 の時刻 t 4）で、ロードラッチ 2 3 2 b はこれら全データを同時にラッチする。

【 0 0 8 1 】

ビット線駆動回路 2 0 7 は、ロードラッチ 2 3 2 a, 2 3 2 b がラッチしたデータを同時に取り込んで電圧増幅を行った後、選択回路 2 3 3 に供給する。選択

回路 2 3 3 は、左右領域のそれぞれについて、ビット線駆動回路 2 0 7 からのデータを、赤色に対応するビット線に供給する。

【 0 0 8 2 】

その後、緑色の奇数データ、偶数データが順にロードラッチ 2 3 2 でラッチされた後に、緑色の全データが同時にビット線駆動回路 2 0 7 に送られてアナログ画素電圧に変換される（図 1 9 の時刻 $t_5 \sim t_8$ ）。

【 0 0 8 3 】

その後、青色の奇数データ、偶数データが順にロードラッチ 2 3 2 でラッチされた後に、青色の全データが同時にビット線駆動回路 2 0 7 に送られてアナログ画素電圧に変換される（図 1 9 の時刻 $t_9 \sim t_{12}$ ）。

【 0 0 8 4 】

このように、本実施形態では、データバス 2 0 5 a, 2 0 5 b を画素アレイ部 2 0 3 の左右中央から左右端側にそれぞれ配置するため、データバス 2 0 5 a, 2 0 5 b の配線長を短縮でき、その分、データバスの駆動負荷を小さくできる。データバスが画面の左端から右端に至る場合の約半分である。バス駆動消費電力は、バスの駆動負荷 \times 周波数 \times 電圧振幅の 2 乗で表せるので、消費電力的に有利である。

【 0 0 8 5 】

また、各色のデータを奇数番目と偶数番目に分けてロードラッチ 2 3 2 でラッチし、各色ごとにビット線の駆動を行うため、ビット線駆動回路 2 0 7 の数を大幅に削減でき、回路占有面積の削減と消費電力の低減が図れる。

【 0 0 8 6 】

図 1 7 ～ 図 1 9 では、ビット線を 3 本おきに駆動する例を説明したが、何本おきに駆動するかについては特に限定されない。

【 0 0 8 7 】

上述した実施形態では、画素アレイ部 2 0 3 内の全領域のデータの表示更新を行う例を説明したが、図 2 0 (a) に示すように一部の行または列だけの表示更新を行ってもよいし、図 2 0 (b) に示すように任意のブロックのみの表示更新を行ってもよい。

【 0 0 8 8 】

図 2 0 (a) の場合も図 2 0 (b) の場合も、表示更新を行う領域のみを図 1 6 の並べ替え回路でデータの並び替えを行い、表示更新を行う領域のアドレスをアドレス発生回路 2 1 5 で発生すればよい。

【 0 0 8 9 】

図 2 1 および図 2 2 はアドレス発生回路 2 1 5 がアドレスを発生するタイミングを示す図である。図 2 1 は、アドレス発生回路 2 1 5 が発生したアドレスを、デジタル画素データの先頭データをデータバス 2 0 5 a, 2 0 5 b に供給する際に、イネーブル端子 ENAB を使ってシリアルに伝送する例を示している。また、図 2 2 は、データバス 2 0 5 a, 2 0 5 b にデジタル画素データを伝送する前に、データバス 2 0 5 a, 2 0 5 b を利用してスタートアドレスと行数等のアドレス情報を伝送してもよい。図 2 1 と図 2 2 のどちらを利用してアドレスを伝送してもよい。

【 0 0 9 0 】

上述した実施形態では、DRAM 構造の画素アレイ部 2 0 3 を有する例を説明したが、列設された信号線と走査線の交点付近に T F T が形成されたアクティブマトリクス型の画素アレイ部 2 0 3 を有する E L パネル部 2 0 1 を駆動する際にも、同様に適用可能である。

【 0 0 9 1 】

図 2 3 は、アクティブマトリクス型の画素アレイ部 2 0 3 を有する表示装置において、信号線を 6 本おきに駆動する場合の E L パネル部 2 0 1 の概略構成を示すブロック図である。この場合、サンプリングラッチ 2 3 1 とロードラッチ 2 3 2 は、画素アレイ部 2 0 3 の中央から左側領域と右側領域のそれぞれについて、 160×6 ビット = 960 ビット分設けられる。また、DAC 2 3 4 は、左側領域と右側領域ともに、160 個設けられる。選択回路は、左側領域と右側領域ともに、160 個の DAC 2 3 4 の出力を赤緑青のいずれかの色の信号線に供給する。図 2 3 のタイミング図は、図 1 9 と同様になる。

【 0 0 9 2 】

一方、図 2 4 は信号線を 3 本おきに駆動する場合の E L パネル部 2 0 1 の概略

構成を示すブロック図である。この場合、サンプリングラッチ 2 3 1 とロードラッチ 2 3 2 は、画素アレイ部 2 0 3 の中央から左側領域と右側領域のそれぞれについて、 320×6 ビット = 1920 ビット分設けられる。また、DAC 2 3 4 は、左側領域と右側領域ともに、320 個設けられる。選択回路は、左側領域と右側領域ともに、320 個の DAC 2 3 4 の出力を赤緑青のいずれかの色の信号線に供給する。

【0093】

一方、図 2 5 は図 2 4 の変形例であり、信号線を 3 本おきに駆動する点では図 2 4 と同じであるが、サンプリングラッチ 2 3 1 の個数を図 2 4 よりも減らしたことを特徴とする。図 2 5 の場合、データバス 2 0 5 a, 2 0 5 b には、図 2 4 と同様に、赤色の奇数画素データが伝送された後、小さいブランク期間の後、赤色の偶数画素データが伝送され、その後同様に、緑色・青色順に奇数画素データと偶数画素データが伝送される。

【0094】

サンプリングラッチ 2 3 1 は、 160×6 ビット = 960 ビット分設けられ、いずれかの色の奇数または偶数画素データのみをラッチする。サンプリングラッチ 2 3 1 されたデータのうち奇数画素データはロードラッチ 2 3 2 a にロード格納され、偶数画素データはロードラッチ 2 3 2 b にロード格納される。

【0095】

DAC 2 3 4 は、ロードラッチ 2 3 2 でラッチされたデータを同タイミングで D/A 変換する。すなわち、DAC 2 3 4 は、赤緑青のいずれかの色の画素データをすべてまとめて D/A 変換する。選択回路は、DAC 2 3 4 で D/A 変換されたアナログ画素電圧を赤緑青のいずれかの色の信号線に供給する。

【0096】

なお、本例では、R 奇数、R 偶数、G 奇数、G 偶数、B 奇数、B 偶数の順にデータを送る例を示しているが、1 行分のデータを D/A 変換して信号線に書込みし終わった後、次行では、B 奇数、B 偶数、G 奇数、G 偶数、R 奇数、R 偶数など順番を変えてもよい (DAC のあとの選択回路の信号線選択順を対応させて変更する)。ある信号線に注目すると、アナログ電位書込み後、フローティング状態になる。隣の信号

線書込みが行われるときフローティング画素が電位変動してしまう場合がある。
 上述のような1行毎書込み順変更をやると、誤差拡散できる効果がある。

【 0 0 9 7 】

本実施形態のように、数 c m オーダーの大きなディメンションの基板上に形成される T F T 素子は特性が場所により変動するのを避けにくい。左反面と右反面のサンプリング回路で単一クロックを共有するとタイミングマージンがひじょうに狭くなる。大画面表示装置ほど深刻になる。この対策として、各データバス 2 0 5 a、2 0 5 b の伝送クロックの位相および duty の調整をそれぞれ別個に行ない、異なるクロックによるサンプリング制御を行なうことが有効である。クロック選択シーケンスは、1) 電源投入時、2) 垂直ブランキング期間に実行する。さらにメモリ画素デバイスでは、3) 書換えデータが送られてこない期間を見計らって実行できる。

【 0 0 9 8 】

本実施形態では、図 1 6 のコントローラ I C 2 0 2 から E L パネル部 2 0 1 にデジタル画素データを伝送する際、LSI レベル (1 から 3 V) をポリシリコンレベル (5V) に変換するレベル変換を行なう。図 2 6 はデジタル画素データの伝送経路を示す図である。図示のように、コントローラ I C 2 0 2 からのデジタル画素データは、3 V 振幅のデータである。このデータは、E L パネル部 2 0 1 内のインバータ 2 5 1 で 5 V 振幅のデータにレベル変換された後、分周回路 2 5 2 にて周波数の調整が行われる。

【 0 0 9 9 】

次に、レベル変換器 2 5 3 にて 2 V 振幅のデータに変換された後、データバス 2 0 5 a、2 0 5 b に供給される。データバス 2 0 5 a、2 0 5 b 上のデータは、レベル変換回路 2 5 4 にて 3 V 振幅のデータに変換された後、サンプリングラッチ 2 3 1 に入力される。

【 0 1 0 0 】

このように、本実施形態では、デジタル画素データを伝送する際に、配線長の長いデータバス 2 0 5 a、2 0 5 b 上ではデジタル画素データの電圧振幅を小さくするようにしたため、消費電力の低減を図ることができる。

【 0 1 0 1 】

上述した第2の実施形態では、グラフィックスコントローラにデータ並べ替え回路をもうける例を説明したが、要は、出力順序を変更する手段を備えていればよい。例えば、本実施例の表示装置と、CPUとメインメモリを有したシステムによる構成が可能である。即ち、VRAMはCPUがメインメモリの一部に必要なに応じて設ける。その大きさは、2画面分だったり、1画面分だったり、0.5画面分など動的に変更される。表示装置へのデータ転送はソフトウェア的に出力順序の変更した上で表示装置に送信される。第2の実施例の初めに述べたメモリが各画素に設けられているような表示装置ではこの構成が可能である。

【 0 1 0 2 】

上述した第2の実施形態では、ELパネル部の左右中央から左右両端にデータバスを配置する例を説明したが、ELパネル部の左右方向に3種類以上のデータバスを配置してもよい。これにより、さらにデータバスの負荷容量を削減でき、その分、データバス上のデータの電圧振幅をさらに小さくでき、消費電力の低減が図れる。

【 0 1 0 3 】

(第3の実施形態)

第3の実施形態は、信号線を4つのブロックに分割して、各ブロックごとにデータバスを設けるものである。

【 0 1 0 4 】

図27は信号線を4つのブロックB1～B4に分割駆動する場合の信号線駆動回路の概略構成を示すブロック図である。図示のように、各ブロックには、RGBそれぞれ160本の信号線が設けられ、各ブロックごとに専用のデータバスDB1～DB4が設けられている。

【 0 1 0 5 】

データバスDB1～DB4には、まず1水平ライン分の赤色の奇数画素データが供給された後、赤色の偶数画素データが供給され、その次に緑色の奇数画素データが、その次に緑色の偶数画素データが、その次に青色の奇数画素データが、その次に青色の偶数画素データが順に供給される。

【 0 1 0 6 】

データバス DB 1 ～ DB 4 上のデジタル画素データは、レベルシフタ 5 1 でレベル変換された後、サンプリングラッチ 5 3 でラッチされる。サンプリングラッチ 5 3 は、各ブロックごとに、8 0 画素分 \times 6 ビット = 4 8 0 個設けられている。各ブロックで同時に駆動すべき信号線が 1 6 0 本あるにもかかわらず、サンプリングラッチ 5 3 がその半分しか設けられていない理由は、隣接する奇数画素と偶数画素とを、タイミングをずらして同じサンプリングラッチ 5 3 で駆動するためである。

【 0 1 0 7 】

サンプリングラッチ 5 3 をロードラッチ 5 4 a, 5 4 b と同じ数だけ設けることは可能である。しかし、本実施形態の方がサンプリングラッチ 5 3 の占有面積を減らすことができる。データバスの負荷はサンプリングラッチ 5 3 の数に比例して小さくなり、信号遅延を小さくできるとともに、消費電力の低減が図れる。

【 0 1 0 8 】

ロードラッチ 5 4 a, 5 4 b は、すべてのサンプリングラッチ 5 3 が一通りラッチし終わった時点で、サンプリングラッチ 5 3 のラッチ出力すべてを同タイミングでまとめてラッチする。ロードラッチ 5 4 a, 5 4 b は二系統に分かれており、一方のロードラッチ 5 4 a は 1 水平ライン分の同一色（赤、緑または青）の奇数画素すべてを同タイミングでラッチし、他方のロードラッチ 5 4 b はブロック内の同一色の偶数画素すべてを同タイミングでラッチする。

【 0 1 0 9 】

ロードラッチ 5 4 a, 5 4 b でラッチされたデータは、D/A 変換器（DAC）5 5 に入力されてアナログ画素電圧に変換された後、選択回路 5 7 で選択された信号線に供給される。

【 0 1 1 0 】

すなわち、DAC 5 5 は、ブロック内のすべての赤色デジタル画素データを同時に D/A 変換した後、ブロック内のすべての緑色デジタル画素データを D/A 変換し、その後ブロック内のすべての青色デジタル画素データを D/A 変換する。

【 0 1 1 1 】

本実施形態では、1 水平ライン期間が開始すると、各ブロックごとに、サンプリングラッチ 5 3 にて、赤色の奇数画素、赤色の偶数画素、緑色の奇数画素、緑色の偶数画素、青色の奇数画素および青色の偶数画素の順に、デジタル画素データのラッチを行う。

【 0 1 1 2 】

まず最初は、図 2 8 (a) に示すように、赤色の奇数画素 R1, R161, R479, R639 のデジタル画素データをサンプリングラッチ 5 3 でラッチする。次に、図 2 8 (b) に示すように、その隣の奇数画素である R3, R163, R477, R637 のデジタル画素データをサンプリングラッチ 5 3 でラッチする。以下同様に各ブロックごとに順次赤色奇数画素のデジタル画素データをサンプリングラッチ 5 3 でラッチし、1 水平ライン期間の最後は、図 2 8 (c) に示すように、赤色の奇数画素 R159, R319, R321, R481 のデジタル画素データをサンプリングラッチ 5 3 でラッチする。

【 0 1 1 3 】

サンプリングラッチ 5 3 が 1 水平ライン分のすべての赤色奇数画素のデジタル画素データをラッチし終わった時点で、ロードラッチ 5 4 a は、サンプリングラッチ 5 3 がラッチした赤色奇数画素のデジタル画素データすべてを同時にラッチする。

【 0 1 1 4 】

次に、サンプリングラッチ 5 3 は、各ブロックごとに、赤色偶数画素のデジタル画素データを順にラッチしていき、すべての赤色偶数画素のラッチが終わると、ロードラッチ 5 4 b は、サンプリングラッチ 5 3 がラッチした赤色偶数画素のデジタル画素データすべてを同時にラッチする。

【 0 1 1 5 】

ロードラッチ 5 4 a, 5 4 b でラッチされた 1 水平ライン分のすべての赤色画素データは、同時に D A C 5 5 に供給されて D / A 変換された後、選択回路 5 7 を介して、対応する信号線に同時に書き込まれる。

【 0 1 1 6 】

赤色画素の駆動が終了すると、次に同様の手順で緑色画素の駆動が行われ、そ

の後青色画素の駆動が行われる。

【0 1 1 7】

図 2 9 は図 2 8 の一ブロック分の詳細構成を示すブロック図、図 3 0 は図 2 9 の動作タイミング図である。図 2 9 に示すように、シフトレジスタ 6 3 の各出力端子は、スタートパルス X S T を順次シフトさせたシフトパルスを出力する。これらシフトパルスは、サンプリングラッチ 5 3 のラッチ用に用いられる。

【0 1 1 8】

サンプリングラッチ 5 3 は、まず赤色奇数画素のデジタル画素データを順にラッチする（図 3 0 の時刻 $t_2 \sim t_3$ ）。すべてのサンプリングラッチ 5 3 でのラッチが終了すると、時刻 t_4 のタイミングで、ロードラッチ 5 4 a はすべてのサンプリングラッチ 5 3 のラッチ出力を同時にラッチする。

【0 1 1 9】

その後、時刻 t_5 でスタートパルス X S T が出力されると、シフトレジスタ 6 3 は、スタートパルス X S T を順にシフトさせたシフトパルスを出力する。これらシフトパルスに基づいて、サンプリングラッチ 5 3 は、赤色偶数画素のデジタル画素データを順にラッチする（図 3 0 の時刻 $t_6 \sim t_7$ ）。すべてのサンプリングラッチ 5 3 のラッチが終了すると、時刻 t_8 のタイミングで、ロードラッチ 5 4 b はすべてのサンプリングラッチ 5 3 のラッチ出力を同時にラッチする。

【0 1 2 0】

その後、時刻 t_9 になると、DAC 5 5 は、ロードラッチ 5 4 a, 5 4 b のラッチ出力をアナログ画素電圧に変換する。変換されたアナログ画素電圧は、選択回路 5 7 で選択された信号線にそれぞれ供給される（時刻 $t_9 \sim t_{16}$ ）。

【0 1 2 1】

同様に、時刻 $t_{10} \sim t_{11}$ の間に緑色奇数画素のデジタル画素データがサンプリングラッチ 5 3 にラッチされ、これらラッチ出力は時刻 t_{13} でロードラッチ 5 4 a にラッチされる。その後、時刻 $t_{14} \sim t_{15}$ の間に緑色偶数画素のデジタル画素データがサンプリングラッチ 5 3 にラッチされ、これらラッチ出力は時刻 t_{16} でロードラッチ 5 4 b にラッチされる。ロードラッチ 5 4 a, 5 4 b にラッチされた緑色画素データは、時刻 $t_{17} \sim t_{23}$ の間に DAC 5 5 でアナ

ログ変換されて、対応する信号線に供給される。

【0 1 2 2】

同様に、時刻 $t_{18} \sim t_{19}$ の間に青色奇数画素のデジタル画素データがサンプリングラッチ 5 3 にラッチされ、これらラッチ出力は時刻 t_{20} でロードラッチ 5 4 a にラッチされる。その後、時刻 $t_{22} \sim t_{23}$ の間に青色偶数画素のデジタル画素データがサンプリングラッチ 5 3 にラッチされ、これらラッチ出力は時刻 t_{24} でロードラッチ 5 4 b にラッチされる。

【0 1 2 3】

本実施形態では、図 3 0 に示すように、赤色奇数画素の信号線の駆動終了後から赤色偶数画素の駆動開始前までの間 ($t_3 \sim t_6$) に、ブランク期間を設けている。同様に、赤色偶数画素の駆動終了後から緑色奇数画素の駆動開始までの間 ($t_7 \sim t_{10}$) と、緑色奇数画素の駆動終了後から緑色偶数画素の駆動開始までの間 ($t_{11} \sim t_{14}$) と、緑色偶数画素の駆動終了後から青色奇数画素の駆動開始までの間 ($t_{15} \sim t_{18}$) と、青色奇数画素の駆動終了後から青色偶数画素の駆動開始前までの間 ($t_{19} \sim t_{22}$) にも、それぞれブランク期間を設けている。

【0 1 2 4】

これらブランク期間は、直前の画素データをロードラッチ 5 4 a, 5 4 b にラッチするための時間的な余裕を得るためのものである。

【0 1 2 5】

図 3 1 はグラフィックコントローラ IC から出力される各種制御信号のタイミング図である。図示の XCLK は周期が画素データの 2 倍であり、ZCLK は周期が XCLK の 3 倍である。サンプリングラッチ 5 3 は、クロック XCLK でシフトされたデジタル画素データを順にラッチする。また、本実施形態の信号線駆動回路は図 1 に示すような制御信号出力部を有し、DAC 5 5 の制御に必要な信号を生成する。ガラス基板上に形成される DAC 5 5 は、スイッチドキャパシタやアナログスイッチなどで構成され、複雑な制御信号を必要とするためである。

【0 1 2 6】

制御信号出力部は、クロック駆動される多数のカウンタ群からなるカウンタ部

と、組み合わせ回路部と、バッファ部とからなる。カウンタ部と組み合わせ回路とで所望のタイミングを生成し、デジタルバッファを介して各制御信号を出力する。クロックZCLKのような低速クロックで駆動される低速カウンタ部と、クロックXCLKのような比較的高速なクロックで駆動される高速カウンタ部とを適切に組み合わせてカウンタ部を形成することにより、このカウンタ部のカウンタ数を削減できる。

【 0 1 2 7 】

クロックXCLKおよびZCLKはグラフィックコントローラICから出力される。ガラス基板上に分周回路を形成してクロックXCLKからクロックZCLKを生成しても良いが、この場合、ガラス基板上の所定部分が占有され、多大な面積を必要とする。

【 0 1 2 8 】

スタートパルスXSTは、デジタル画素データのサンプリング制御とDAC55用の制御信号生成に用いられる。スタートパルスZSTは1水平ライン期間に1回行うコモン電極反転や、信号線プリチャージなどの制御タイミングの生成に利用される。スタートパルスYSTは画面の垂直タイミング制御に利用される。これら3種類のスタートパルスXST、ZST、YSTは表示装置の制御信号として重要であり、これらに基づいて制御信号が（望ましくは、ガラス基板上で）生成され、信号線駆動回路の制御を完全に行うことができる。

【 0 1 2 9 】

本実施形態のグラフィックコントローラICは、全画面のリフレッシュを行う全画面リフレッシュ型、フレーム周波数を可変制御可能なマルチフレーム周期型、および表示画面内の任意領域の画像更新が可能なランダムアクセス型のいずれかで構成される。なお、これら複数の型を切り替えて実現できるようにしてもよい。

【 0 1 3 0 】

全画面リフレッシュ型のグラフィックコントローラICは、図16に図示したものと同様の構成になる。

【 0 1 3 1 】

一方、マルチフレーム周期型のグラフィックコントローラ IC は図 3 2 のようなブロック構成になる。図 3 2 のコントローラ 2 1 4 は、画素クロックの周波数制御を行うドットクロック制御部 6 4 と、ガラス基板に供給するデジタル画素データの出力周波数を制御する出力レート制御部 6 5 と、同デジタル画素データの出力振幅を制御する出力振幅制御部 6 6 とを有する。

【 0 1 3 2 】

例えば、携帯電話の待ち受け状態などでは、表示装置の消費電力をできるだけ低減する必要がある。消費電力を低減するには、フレーム周波数を低くするのが望ましい。ところが、フレーム周波数を低くすると、フリッカが目立ってしまうため、RGB それぞれの階調数を少なくしてフリッカを目立たなくする処理が必要となる。また、フレーム周波数を低くすると、デジタル画素データの振幅を小さくしても、ガラス基板側で十分に信号線を駆動することができる。

【 0 1 3 3 】

一般に、レベルシフタは入力振幅が小さいほど、出力信号の立ち上がり・立ち下がり時間が長くなり、図 1 0 に示すレベルシフタ 5 1 もそのような特徴を持つ。

【 0 1 3 4 】

そこで、図 3 2 のグラフィックコントローラ IC は、表示装置を低消費電力モードで使用する場合には、画素クロックの周波数を低くして、デジタル画素データの出力周波数を低くするとともに、デジタル画素データの出力振幅も小さくする。

【 0 1 3 5 】

通常、グラフィックコントローラ IC は、内部電圧 1. 5 ~ 2 V で動作しているが、外部とのインタフェース制約からわざわざ 3 V 電源や 3. 3 V 電源を用意して、出力部のみ信号振幅を大きくしている。低速駆動時に、出力部の信号振幅を内部電圧と同様の 1. 5 V や 2 V 程度にすれば、出力部での低消費電力の低減が図れる。具体的には、5 ~ 1 0 mW の電力を低減できる。

【 0 1 3 6 】

図 3 2 のグラフィックコントローラ IC には、デジタル画素データの出力周波

数と画素階調数を指定する動作モード指定信号が入力される。この動作モード指定信号に基づいて、ドットクロック制御部 6 4、出力レート制御部 6 5 および出力振幅制御部 6 6 は、画素クロックの周波数と、デジタル画素データの出力周波数および出力振幅とを制御する。

【 0 1 3 7 】

なお、動作モード指定信号は、画素クロックの周波数と、デジタル画素データの出力周波数と、デジタル画素データの出力振幅とを、それぞれ別個に指定可能である。

【 0 1 3 8 】

また、表示画面に対応させてグラフィックコントローラ I C の出力端子を区分しておくことは次のような利点を持つ。すなわち、表示画面のある部分（例えば、右半面）が各 6 ビットのフルカラー表示で、他の部分（左半面）が各色 1 ビットの 2 値表示の場合を考えると、左半面の画像データを出力する端子はほとんど駆動しないで済み、消費電力の低減が図れる。また、グラフィックコントローラ I C の内部で、左半面のための端子は M S B のみを駆動し、下位ビット用の端子は L 電源にプルダウンしてしまうことも容易になる。

【 0 1 3 9 】

一方、上述したランダムアクセス型のグラフィックコントローラ I C は図 3 3 のようなブロック構成になる。図 3 3 のグラフィックコントローラ I C は、図 3 2 と同様に、ドットクロック制御部 6 4、出力レート制御部 6 5 および出力振幅制御部 6 6 を有する。この他、図 3 3 のグラフィックコントローラ I C は、表示画面中の更新を行うべき範囲を制御して更新場所を示すアドレス信号を出力する更新アドレス発生部 6 8 を有する。

【 0 1 4 0 】

図 3 3 のグラフィックコントローラ I C には、図 3 2 と同様に動作モード指定信号が入力される。この動作モード指定信号には、表示画面の更新を行うか否かを示す情報と、表示画面中の更新を行うべき範囲を指定する情報とが含まれている。この動作モード指定信号に基づいて、図 3 3 のグラフィックコントローラ I C は、表示画面中の更新を行うべき範囲を示すアドレス信号を出力する。

【 0 1 4 1 】

図 3 3 のグラフィックコントローラ I C が出力したアドレス信号は、ガラス基板に供給される。ガラス基板は、グラフィックコントローラ I C から供給されたアドレス信号に対応する領域のみ画像の更新を行う。

【 0 1 4 2 】

このように、指定された領域のみ画像の更新を行うことで、消費電力の低減が図れる。

【 0 1 4 3 】

ところで、図 3 2 および図 3 3 では、グラフィックコントローラ I C の内部に並べ替え回路部 2 1 8 を設ける例を説明したが、並べ替え回路部 2 1 8 を設ける代わりに、図 3 4 のように、並べ替え後のデータに対応するアドレスを順次生成する読み出しアドレス発生部 6 9 をグラフィックコントローラ I C の内部に設けてもよい。

【 0 1 4 4 】

図 3 4 の読み出しアドレス発生部 6 9 は、デジタル画素データをガラス基板に供給する順に、VRAM 2 1 3 のアドレスを出力する。読み出しアドレス発生部 6 9 から出力されたアドレスは、ワード線選択デコーダ 7 0 およびビット線選択デコーダ 7 1 を介して VRAM 2 1 3 に供給され、特定のアドレスのデータを読み出す。読み出されたデータは、センスアンプ 7 2 でセンスされた後、読み出しバッファ 7 3 を介して LUT 2 1 7 に供給される。

【 0 1 4 5 】

図 3 4 のような読み出しアドレス発生部 6 9 をグラフィックコントローラ I C に内蔵することにより、すでに並べ替えられたデータを VRAM 2 1 3 から読み出すことができ、図 3 2 および図 3 3 のような並べ替え回路部 2 1 8 が不要となる。したがって、グラフィックコントローラ I C の内部構成を簡略化できる。

【 0 1 4 6 】

図 3 5 は、全画面リフレッシュ型のグラフィックコントローラ I C の内部に、並べ替え回路 2 1 8 の代わりに読み出しアドレス発生部 6 9 を設けた例を示すブロック図である。読み出しアドレス発生部 6 9 から出力されたアドレスは、コン

トローラ 2 1 4 を介して VRAM 2 1 3 に供給される。VRAM 2 1 3 から読み出されたデータは、読み出された順にガラス基板に供給される。

【 0 1 4 7 】

また、図 3 2 と図 3 5 を組み合わせたデータ出力順序変更手段も考えられる。とくに、フレームメモリへの画像データが R, G, B に分解される前の、Y u v 形式で格納されているような場合は次のようにする。出力順序変更は、(A) 表示装置のブロック分割に従う順序変更と、(B) 色別・偶数／奇数別による順序変更の 2 段階に分ける。図 3 5 に示すアドレス発生部の制御により、Y u v データのまま (A) 順序制御を行い、L U T で R, G, B に変換した上で、ラインバッファなどを用いて (B) の順序制御を行う方法が考えられる。

【 0 1 4 8 】

上述した第 3 の実施形態では、信号線を 4 つのブロックに分割して駆動する例を説明したが、分割するブロックの数は特に問わない。分割ブロックのデータを、そのブロックの左端の信号線に相当するものから順に与えるか、右端の信号線に相当するものから順に与えるかは特に問わない。該当するブロックのサンプリングラッチ 5 3 の駆動を制御するシフトレジスタのスタート位置を変えることで、いずれも対応可能である。

【 0 1 4 9 】

また、上述した実施形態では、VGA タイプ (640×480 画素) の表示解像度の表示装置について説明したが、表示解像度は VGA タイプに限定されない。

【 0 1 5 0 】

【発明の効果】

以上詳細に説明したように、本発明によれば、グラフィックコントローラ IC から、デジタル画素データの周期の 2 倍以上の周期でクロック信号を出力するため、表示解像度が高くてクロック信号の周波数を画素データの最速周波数より高くする必要がなくなる。また、グラフィックコントローラ IC は、信号線の駆動順序に合わせて並べ替えを行った状態でのデジタル画素データを出力するし、基本的なスタートパルス以外の表示制御信号は前記絶縁基板上で生成できるよう

にしたため、並び替えや表示制御信号の生成を行うためのゲートアレイ等の I C チップが不要になり、回路規模および半導体部品点数を削減できる。

【0 1 5 1】

さらに、表示素子が形成される絶縁基板上にグラフィックコントローラ I C を実装した場合に、表示素子と駆動回路全体を同一の絶縁基板上にまとめることができ、小型化およびコストダウンが図れる。

【0 1 5 2】

また、グラフィックコントローラ I C から出力されるクロック信号の周波数をあまり速くしないようにしたため、ポリシリコン T F T のように移動度（動作速度）があまり速くない表示素子でも安定に動作させることができる。

【0 1 5 3】

さらに、グラフィックコントローラ I C から出力されるクロック信号とデジタル画素データとの位相調整を、グラフィックコントローラ I C の内部で行えるようにしたため、信号線駆動回路 2 内でデジタル画素データをクロック信号で確実に取り込むことができる。

【0 1 5 4】

また、本発明によれば、絶縁基板の一辺の略中央から両端に向けて複数のデータバスを配置するため、データバスの負荷容量を小さくでき、データバス上を伝搬するデータの電圧振幅を小さくできることから、消費電力の低減が図れる。

【0 1 5 5】

さらに、信号線を複数本おきに駆動するため、D / A 変換回路を各信号線ごとに設けなくて済み、実装面積の削減と消費電力の低減が図れる。

【図面の簡単な説明】

【図 1】

本発明に係る表示装置の一実施形態のブロック図。

【図 2】

図 1 の表示装置の斜視図。

【図 3】

グラフィックコントローラ I C の内部構成を示すブロック図。

【図 4】

グラフィックコントローラ I C の出力タイミング図。

【図 5】

位相調整回路の回路図。

【図 6】

同期信号とクロック信号 C L K を中間電位に設定するための中間電位設定回路の回路図。

【図 7】

フレームメモリの制御を行うメモリ制御回路の内部構成を示す図。

【図 8】

VRAM空間と表示空間との関係を示す図。

【図 9】

信号線駆動回路の内部構成を示すブロック図。

【図 1 0】

レベルシフタの回路図。

【図 1 1】

レベルシフタの入出力信号の波形図。

【図 1 2】

分周回路の回路図。

【図 1 3】

分周回路内の各ラッチ回路の出力タイミング図。

【図 1 4】

本実施形態の表示装置のガラス基板上のレイアウト図。

【図 1 5】

汎用のグラフィックコントローラ I C を用いて構成した従来の表示装置のチップレイアウト図。

【図 1 6】

本発明に係る表示装置の第 2 の実施形態のブロック図。

【図 1 7】

データバスの配置を示す図。

【図 1 8】

データバス上のデータの並び順を示す図。

【図 1 9】

図 1 6 の表示装置のタイミング図。

【図 2 0】

部分的に表示更新を行う例を示す図。

【図 2 1】

アドレス発生回路がアドレスを発生するタイミングを示す図。

【図 2 2】

アドレス発生回路がアドレスを発生するタイミングを示す図。

【図 2 3】

アクティブマトリクス型の画素アレイ部を有する表示装置において、信号線を 6 本おきに駆動する場合の E L パネル部 2 0 1 の概略構成を示すブロック図。

【図 2 4】

信号線を 3 本おきに駆動する場合の E L パネル部の概略構成を示すブロック図

【図 2 5】

図 2 4 の変形例を示すブロック図。

【図 2 6】

デジタル画素データの伝送経路を示す図。

【図 2 7】

信号線を 4 つのブロックに分割駆動する場合の信号線駆動回路の概略構成を示すブロック図。

【図 2 8】

(a) - (c) は信号線の駆動順序を示す図。

【図 2 9】

図 2 8 の一ブロック分の詳細構成を示すブロック図。

【図 3 0】

図 2 9 の動作タイミング図。

【図 3 1】

グラフィックコントローラ I C から出力される各種制御信号のタイミング図。

【図 3 2】

マルチフレーム周期型のグラフィックコントローラ I C のブロック構成図。

【図 3 3】

ランダムアクセス型のグラフィックコントローラ I C のブロック構成図。

【図 3 4】

読み出しアドレス発生部を用いた VRAM の読み出しを説明する図。

【図 3 5】

全画面リフレッシュ型のグラフィックコントローラ I C の内部に読み出しアドレス発生部を設けた例を示すブロック図。

【図 3 6】

従来の液晶表示装置のブロック図。

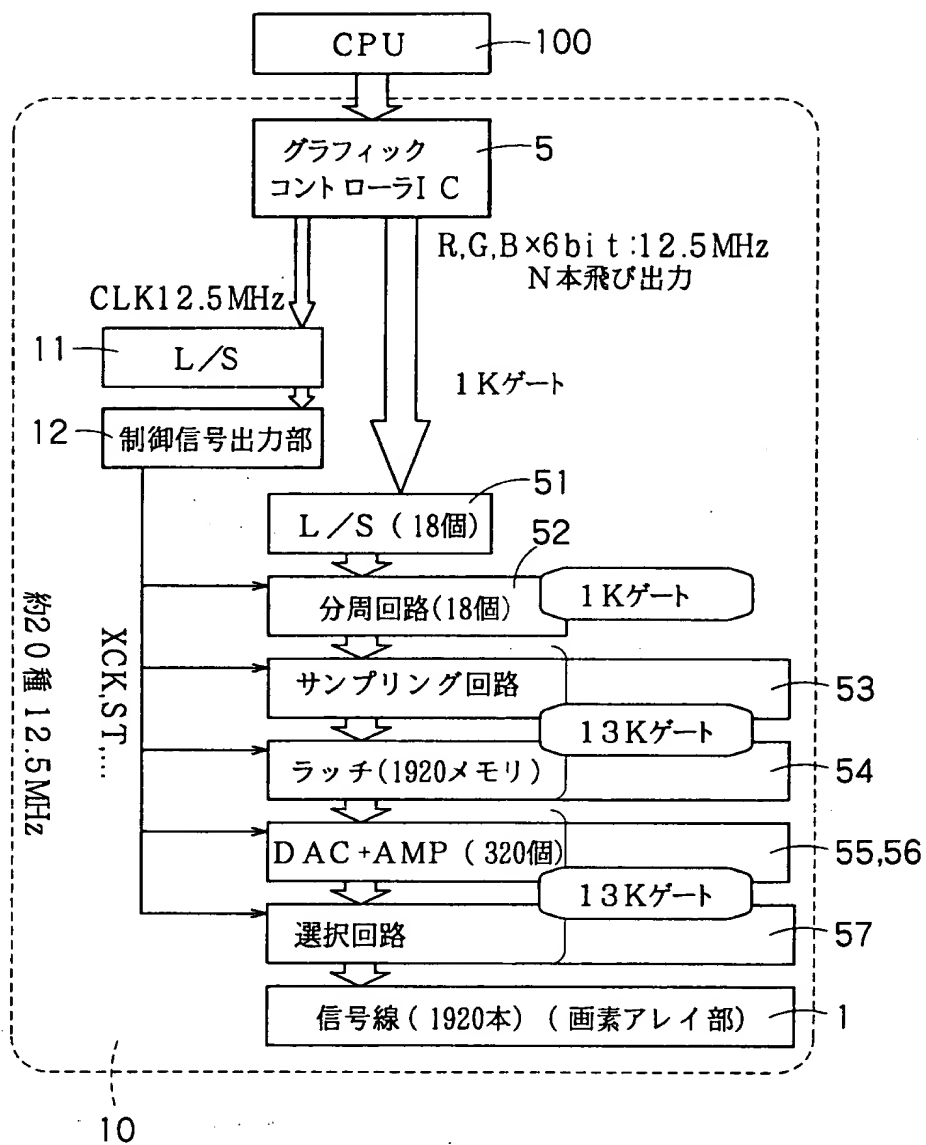
【符号の説明】

- 1 画素アレイ部
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 制御回路
- 5 グラフィックコントローラ I C
- 1 0 ガラス基板
- 1 1 レベルシフタ (L / S)
- 1 2 制御信号出力部
- 1 3 ホストインタフェース部
- 3 1 ホストインタフェース部
- 3 2 レジスタ
- 3 3 フレームメモリ (VRAM)
- 3 4 メモリ制御回路
- 3 5 表示 FIFO

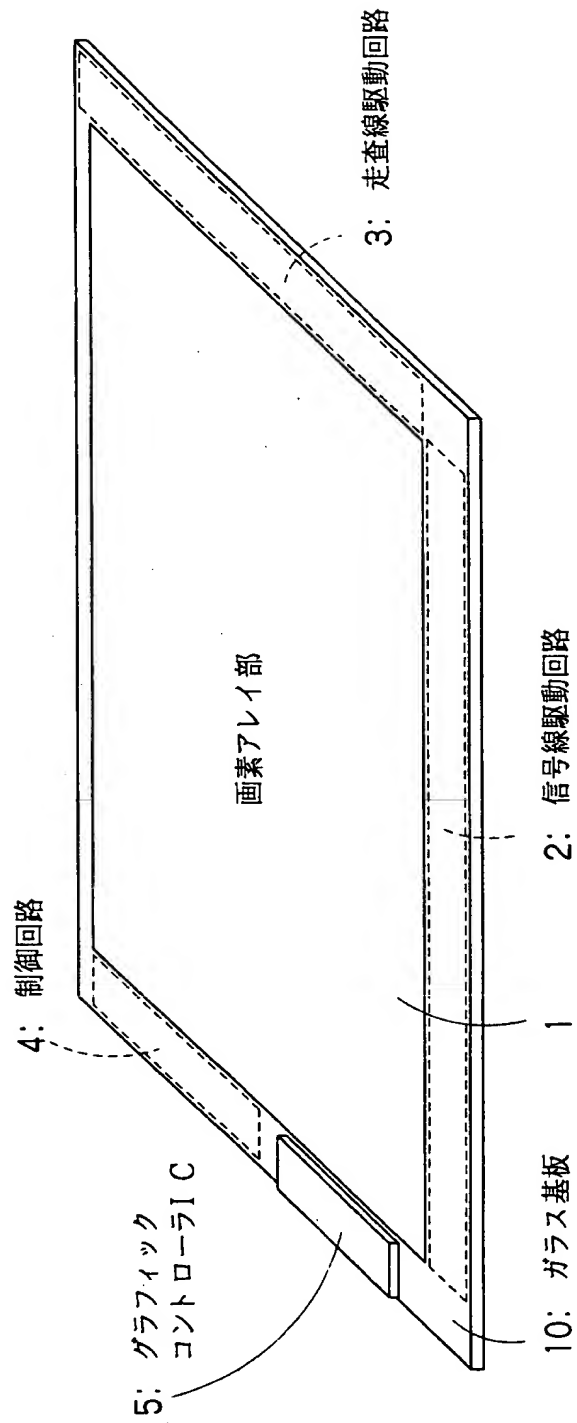
- 3 6 カーソルFIFO
- 3 7 ルックアップテーブル
- 3 8 画素データ出力回路
- 3 9 位相調整回路
- 4 0 制御信号出力回路
- 5 1 レベルシフタ
- 5 2 分周回路
- 5 3 データ分配回路
- 5 4 ラッチ回路
- 5 5 D/Aコンバータ
- 5 6 アンプ
- 5 7 選択回路
- 2 0 1 E Lパネル部
- 2 0 2 コントローラ I C
- 2 0 3 メモリセル
- 2 0 4 I/F回路
- 2 0 5 a , 2 0 5 b データバス
- 2 0 6 バッファ回路
- 2 0 7 ビット線駆動回路
- 2 0 8 アドレスラッチ
- 2 0 9 アドレスバッファ
- 2 1 0 ワード線駆動回路
- 2 1 1 コントロール回路
- 2 1 2 C P U I/F
- 2 1 3 表示メモリ (V R A M)
- 2 1 4 グラフィックコントローラ
- 2 1 5 コントローラ I C
- 2 1 8 並び替え回路

【書類名】 図面

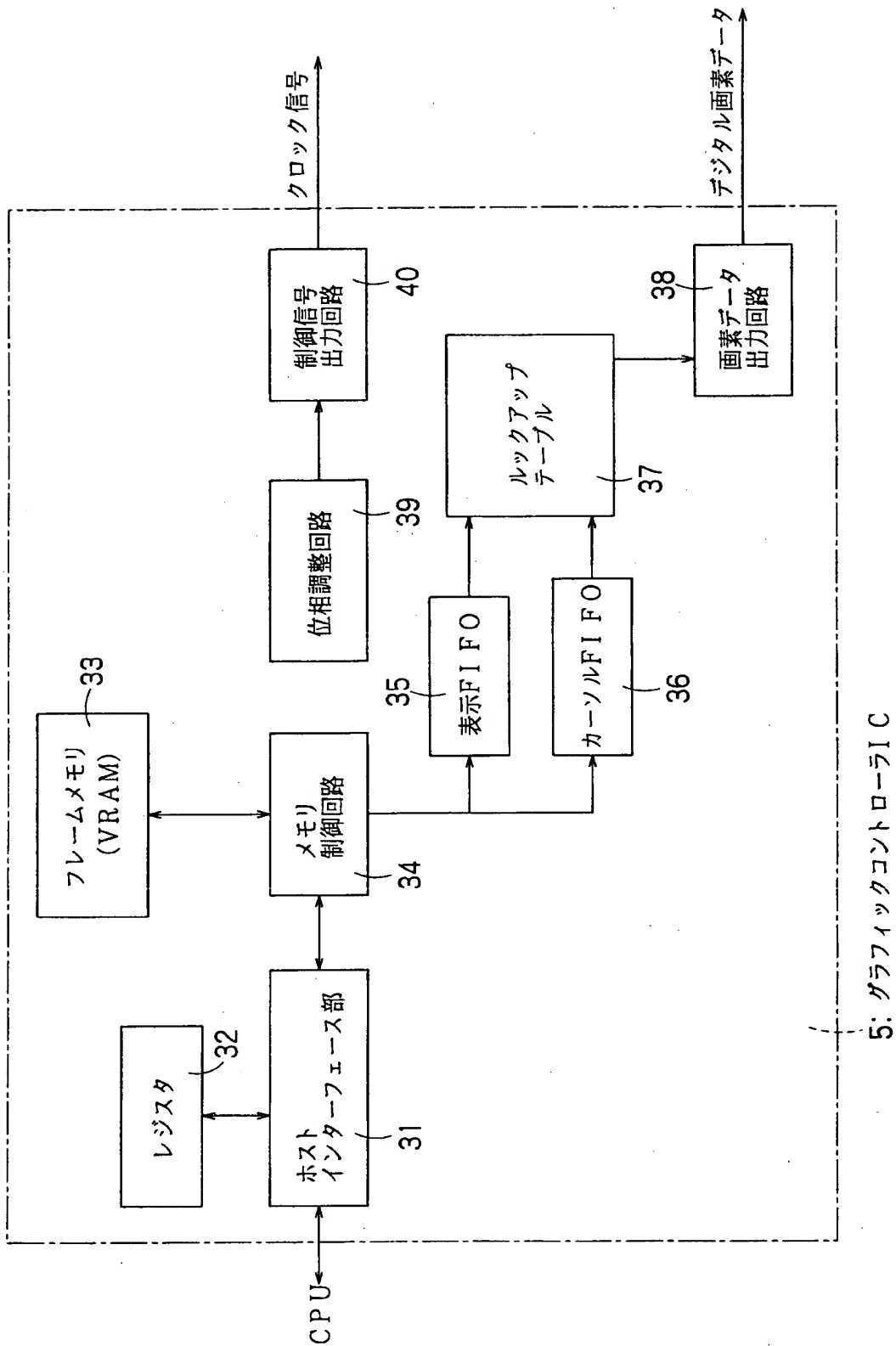
【図 1】



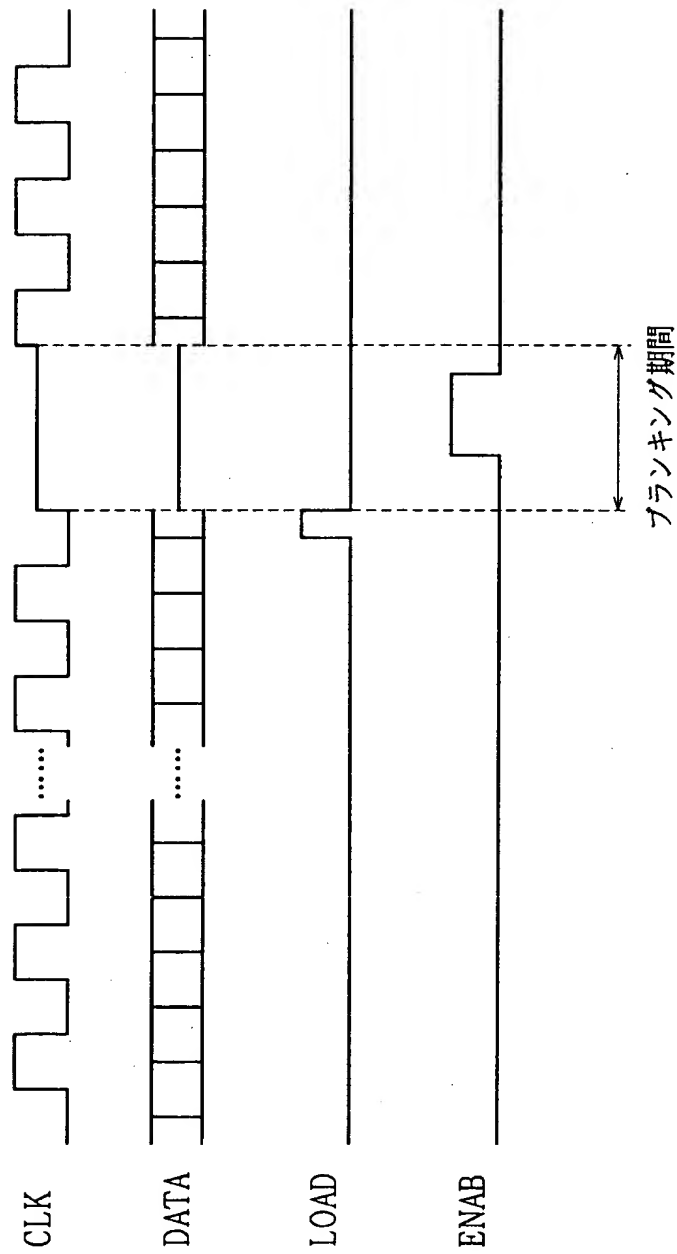
【図 2】



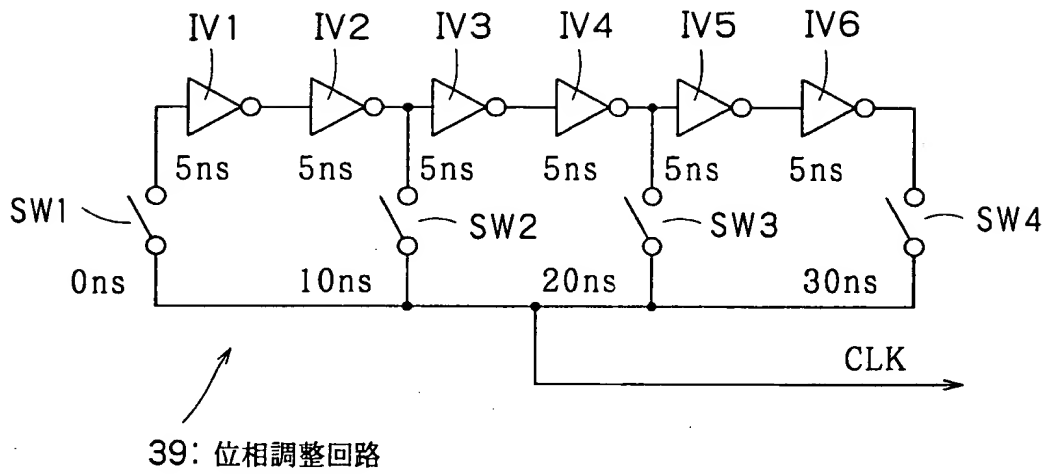
【図 3】



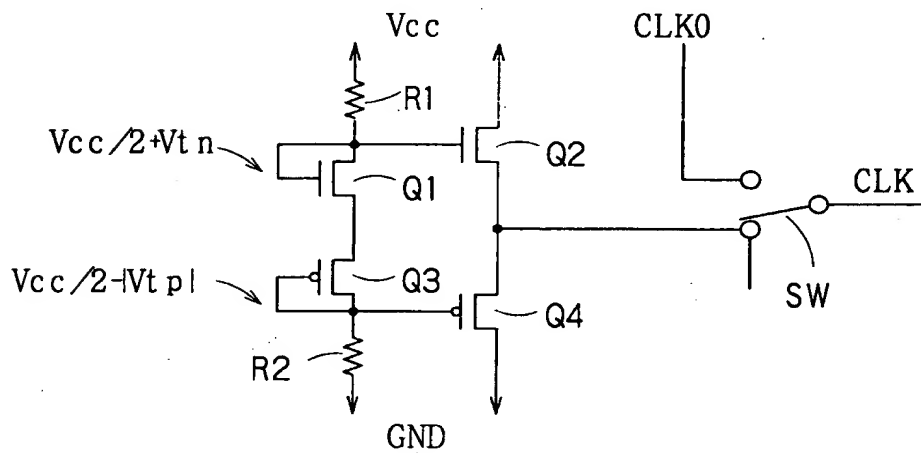
【図 4】



【図 5】



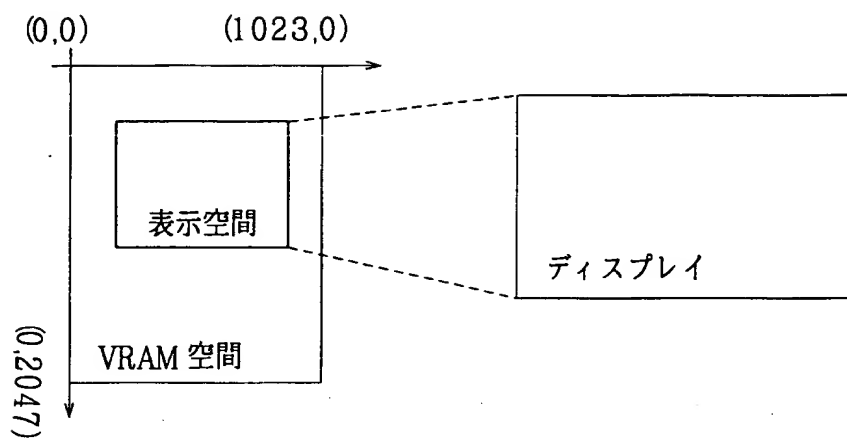
【図 6】



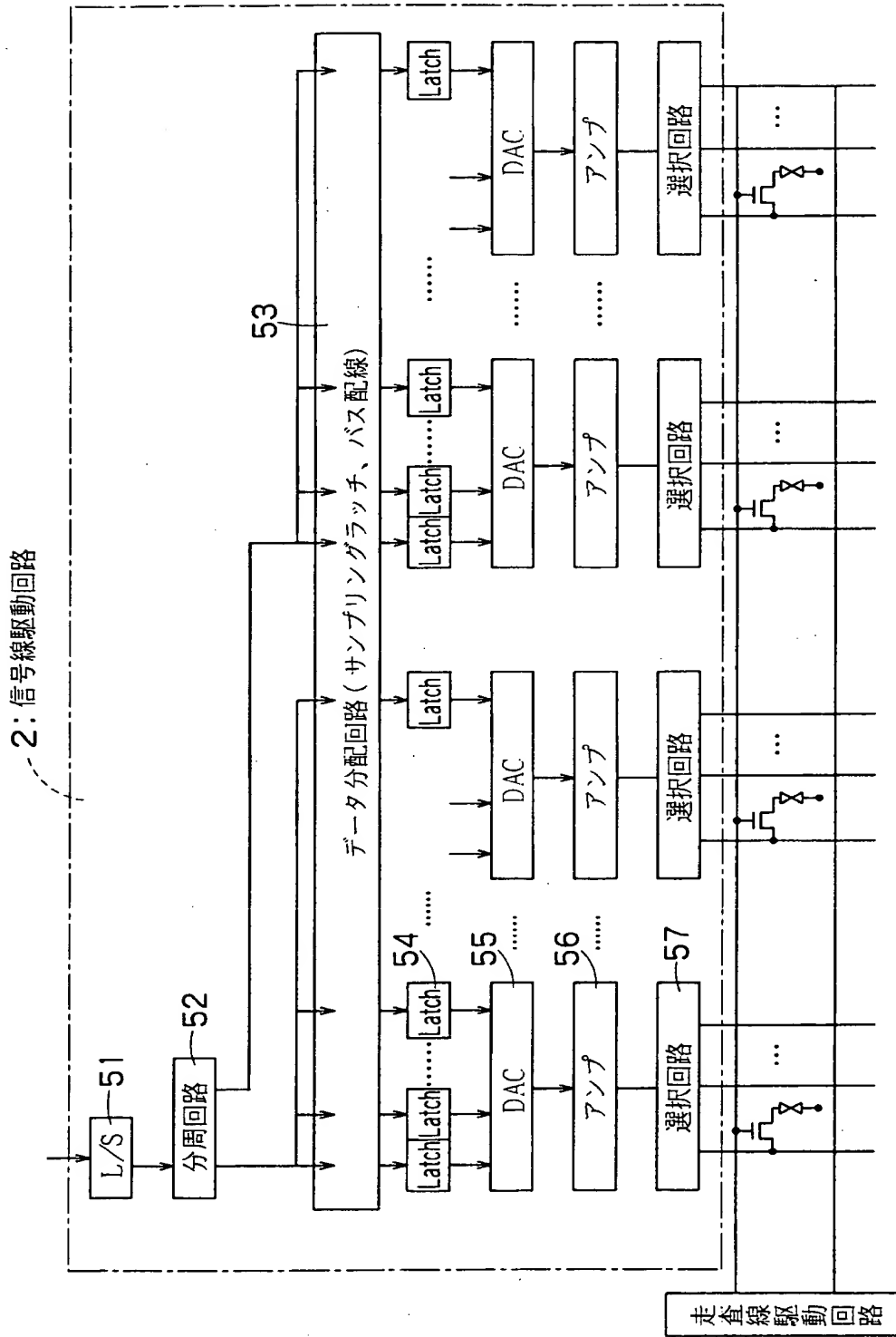
【図 7】

アプリケーション層	44
ドライバ関数層	43
I / O 関数層	42
ハードウェア層	41

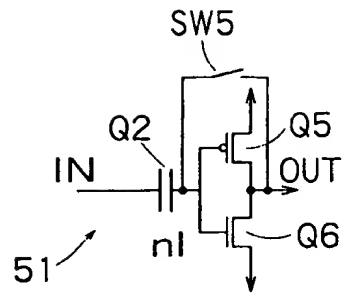
【図 8】



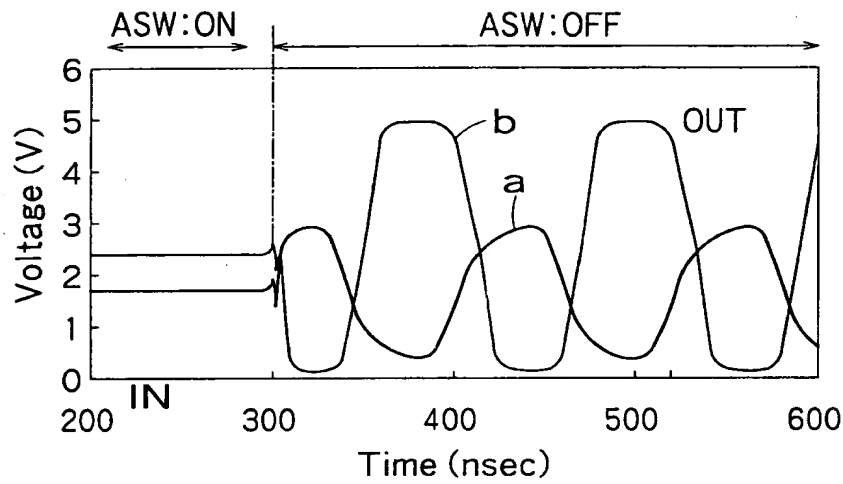
【図 9】



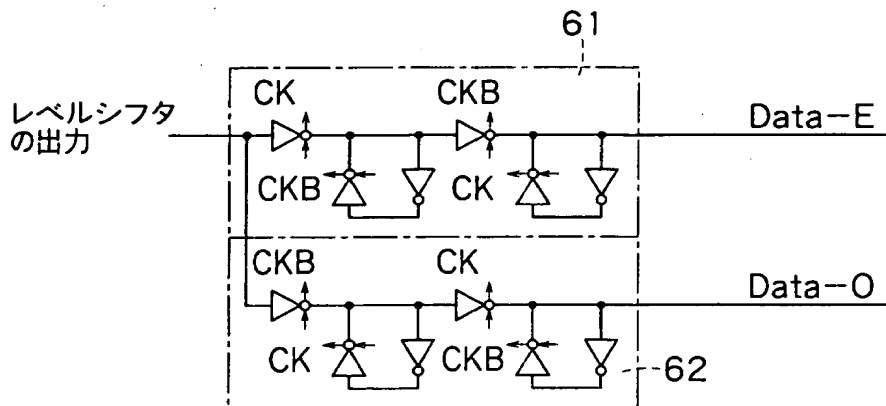
【図 1 0】



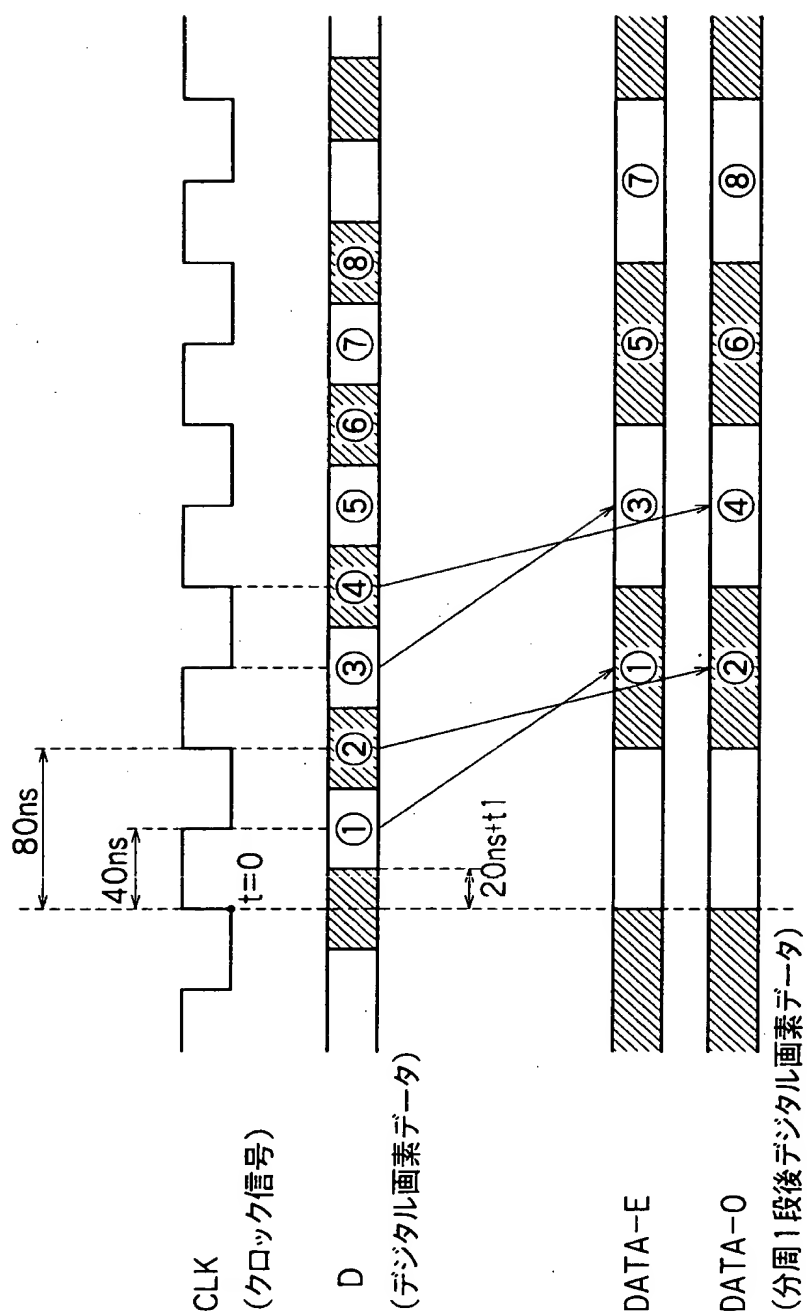
【図 1 1】



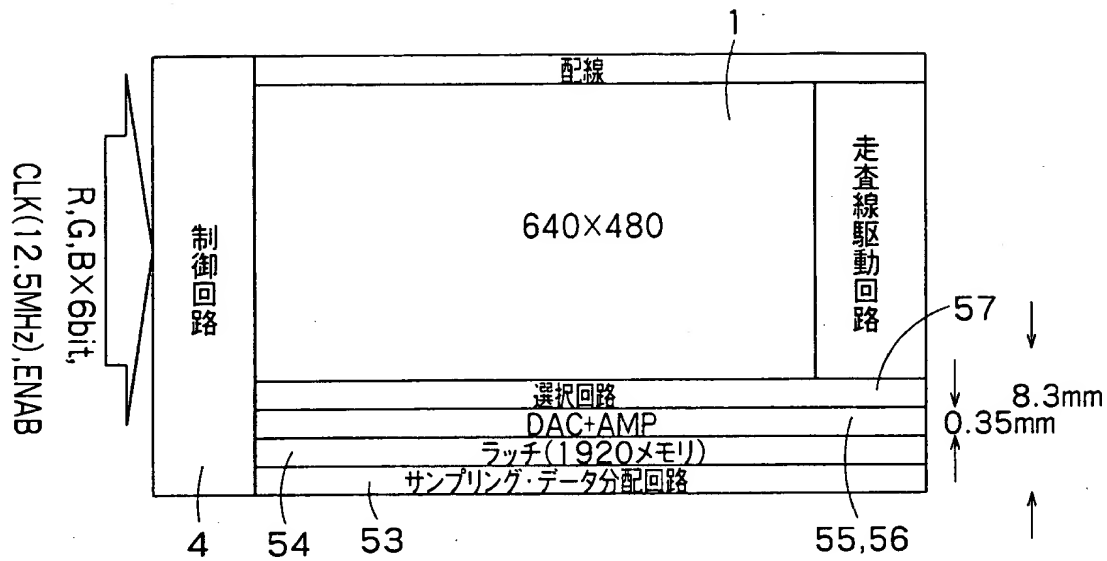
【図 1 2】



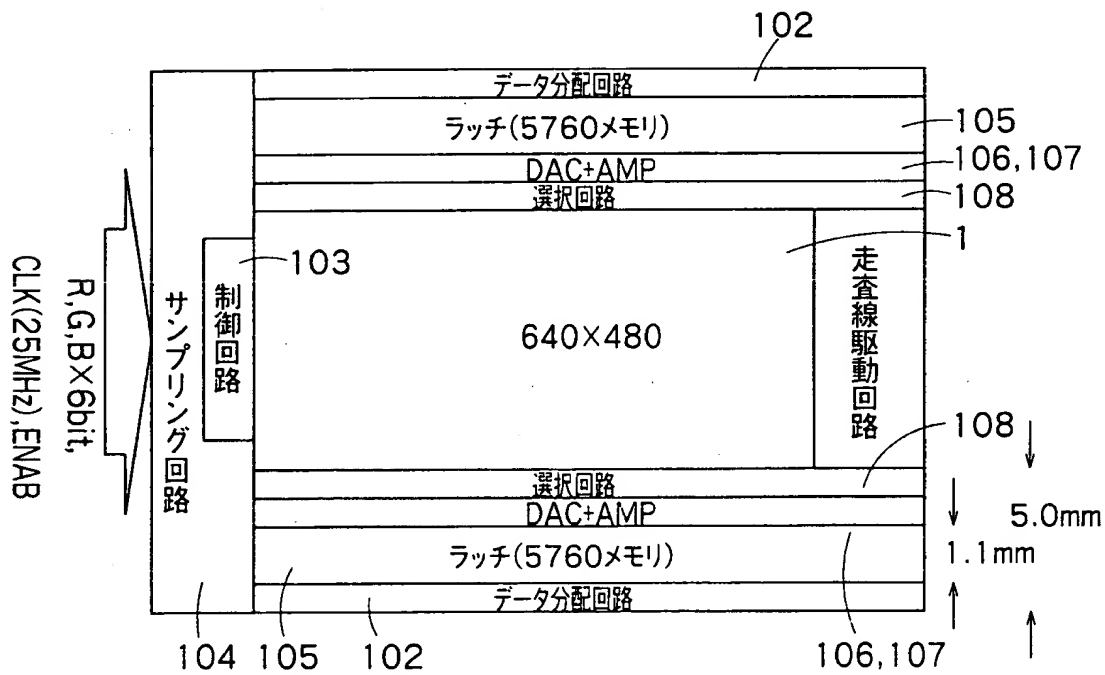
【図 13】



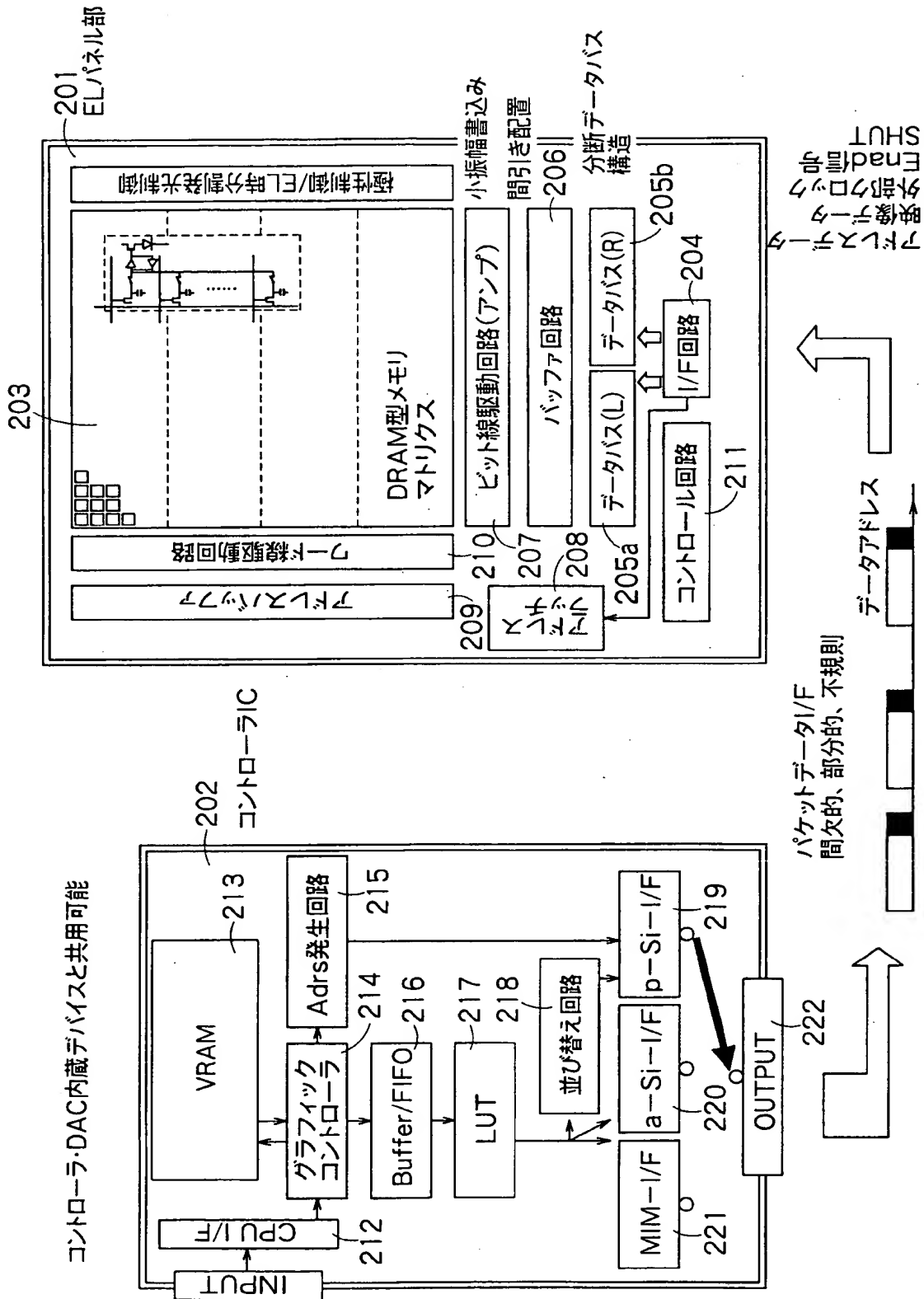
【図 1 4】



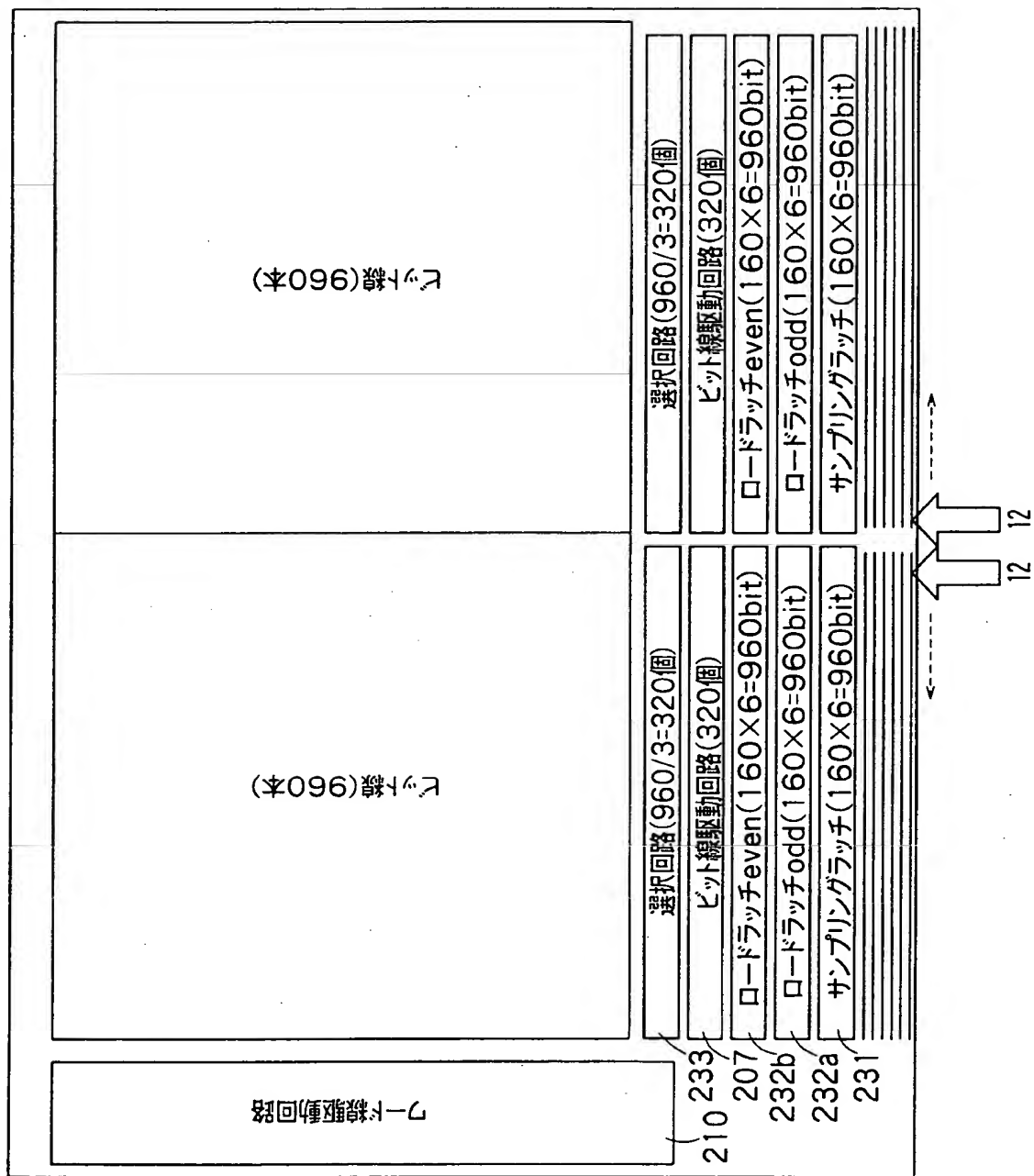
【図 1 5】



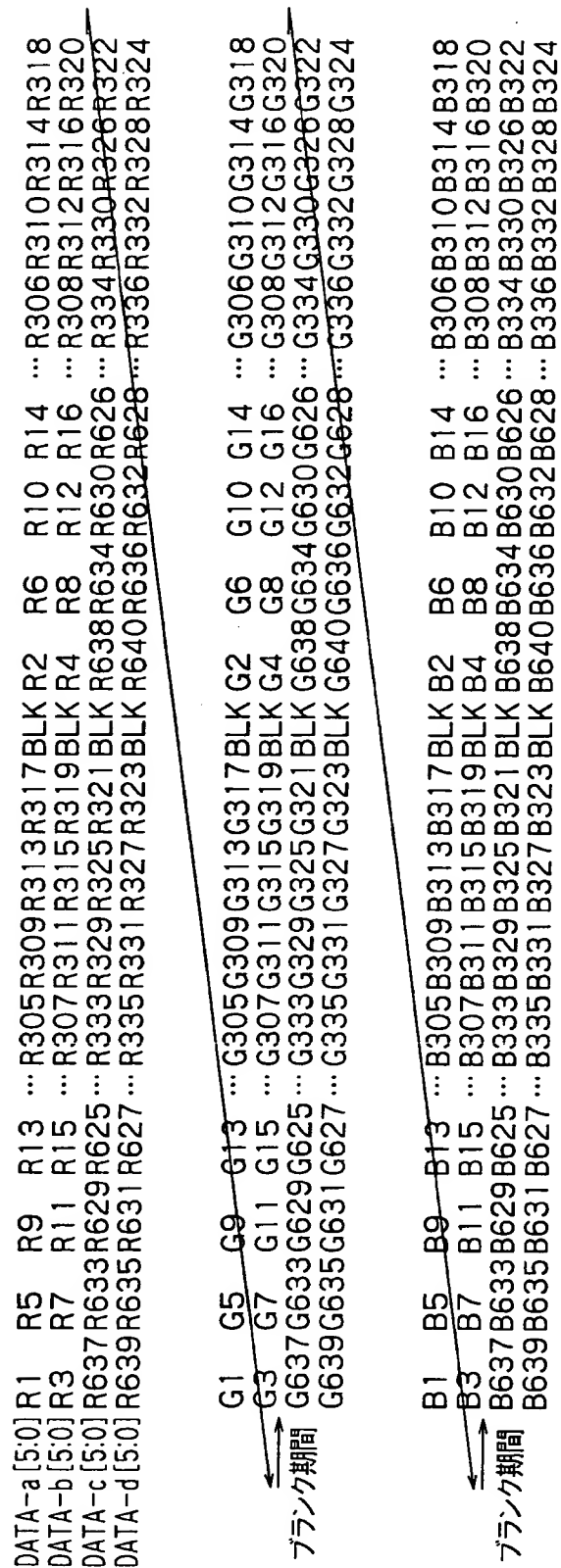
【図 16】



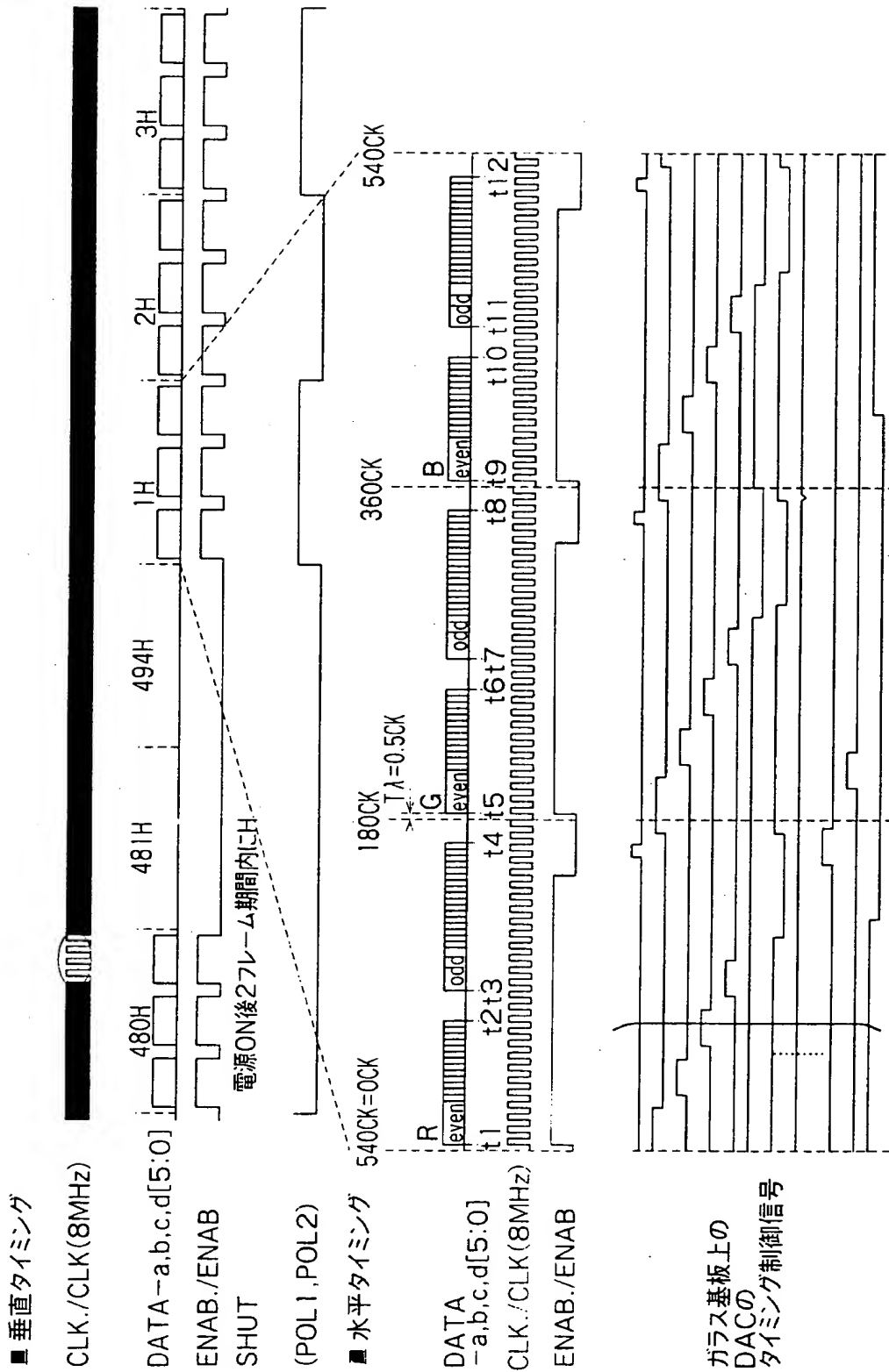
【図 1 7】



【図 1 8】

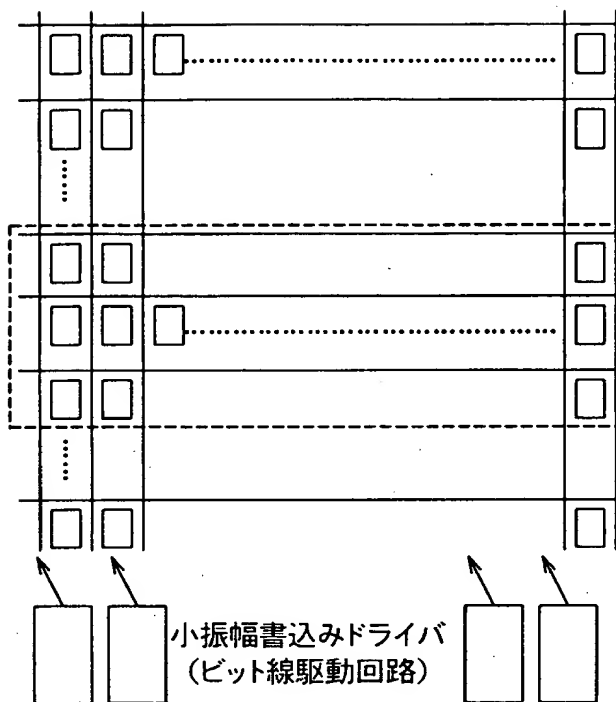


【図 19】

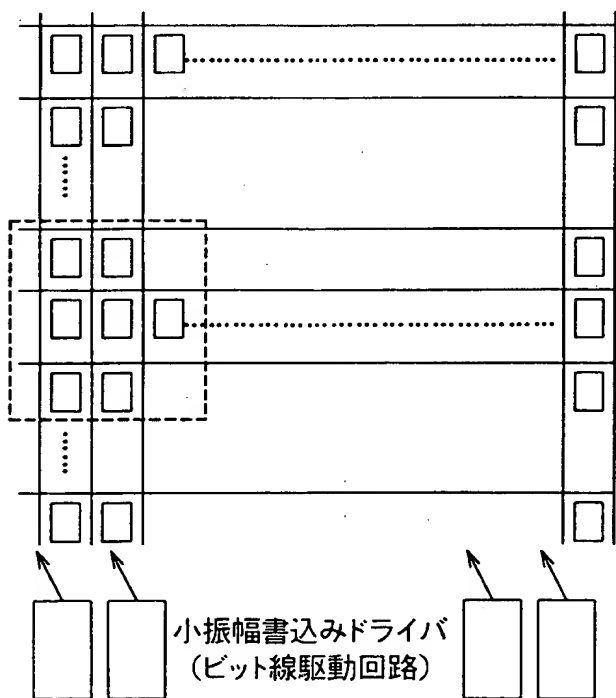


【図 2 0】

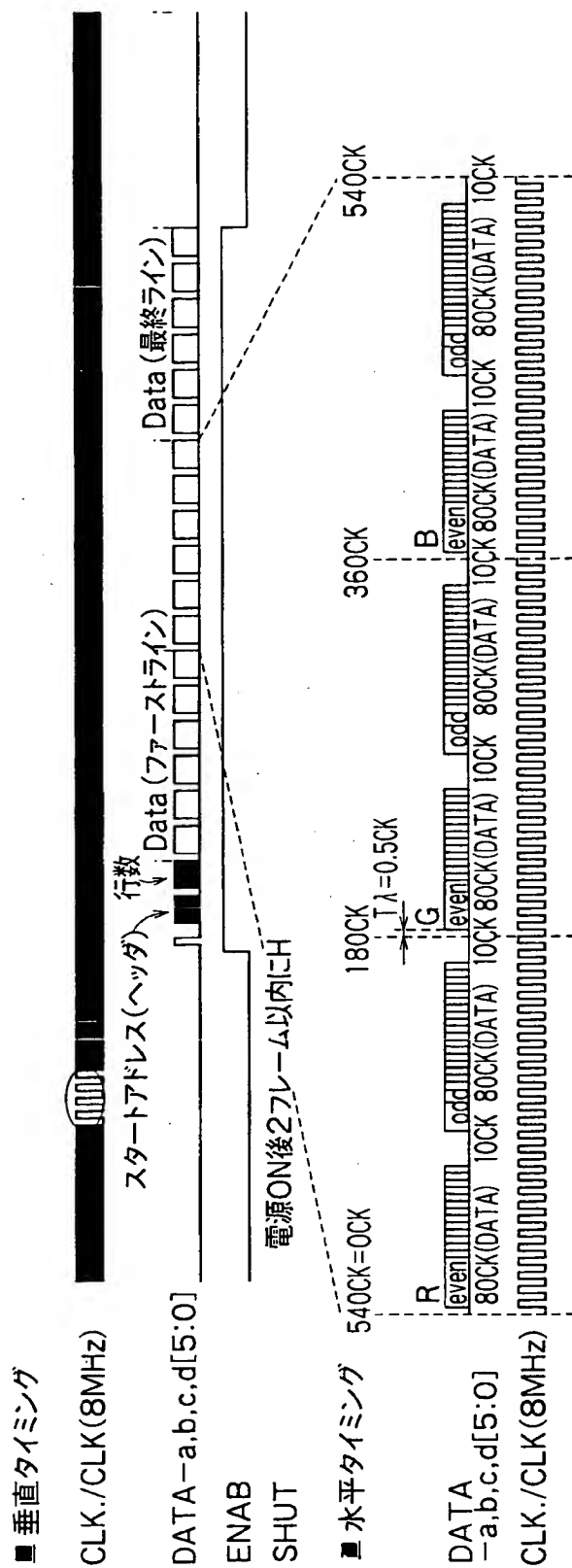
(a)



(b)

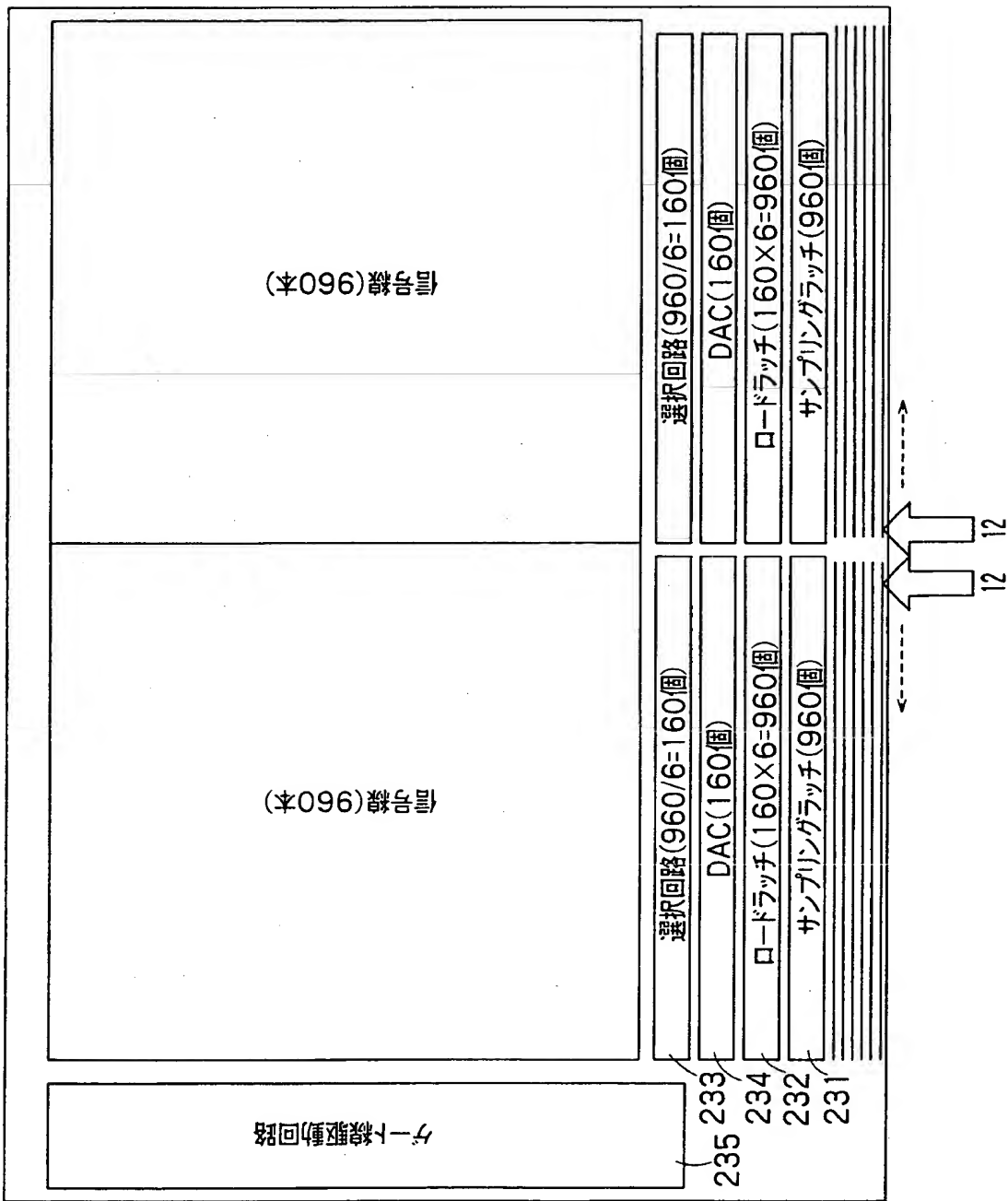


【図 2 2】



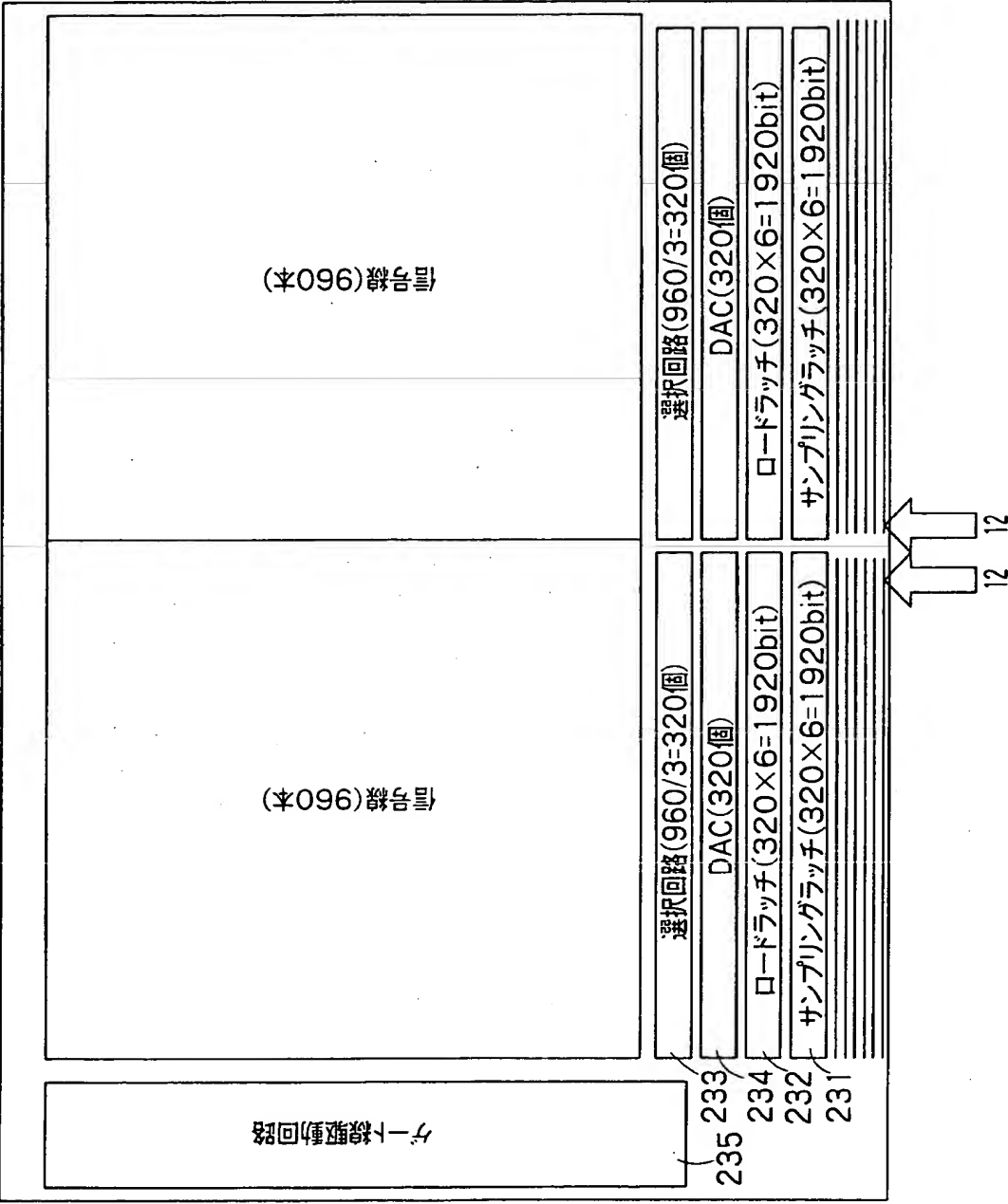
【図 2 3】

6信号線に対してDACを1個の割合で設けた例

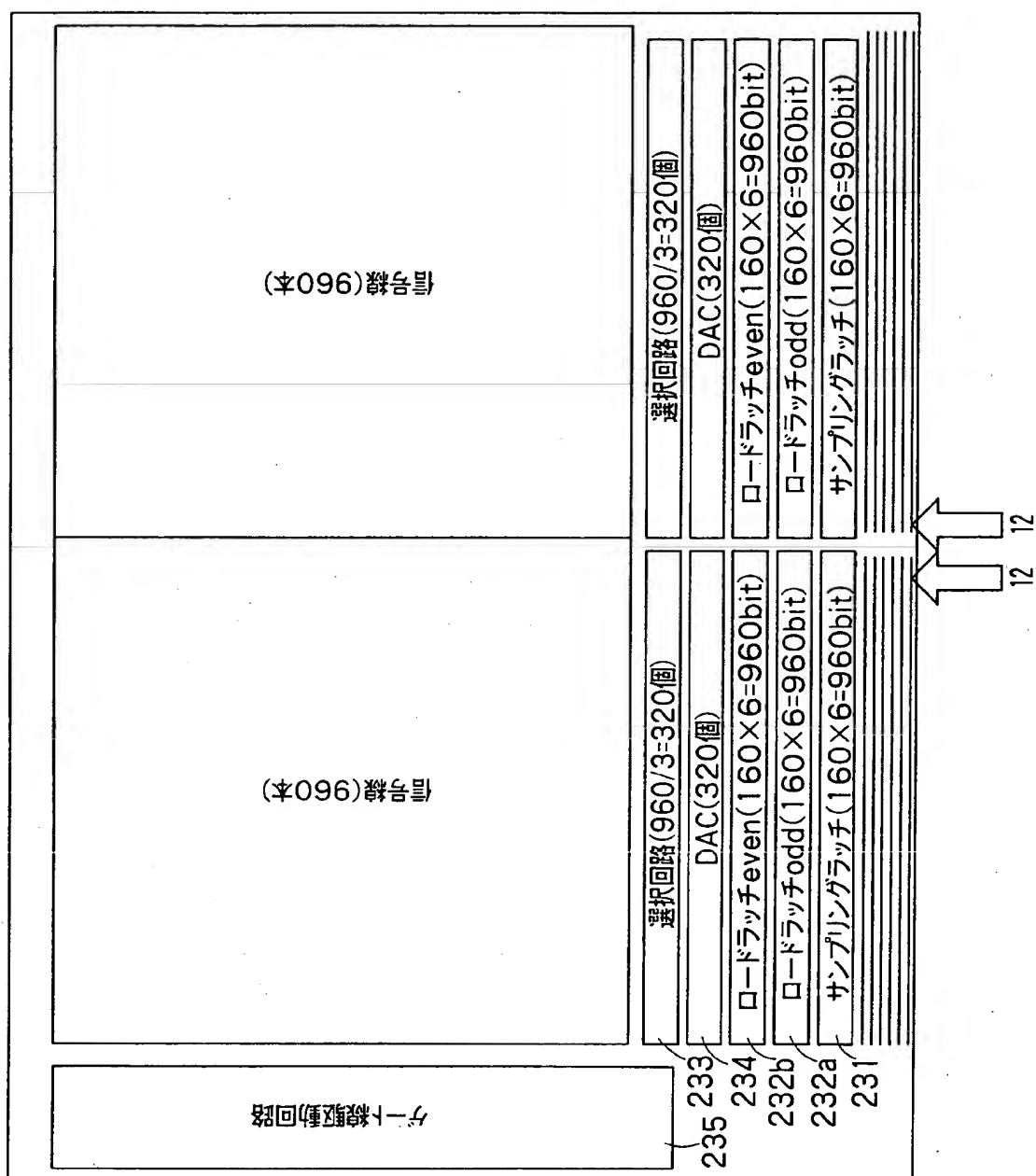


【図 2 4】

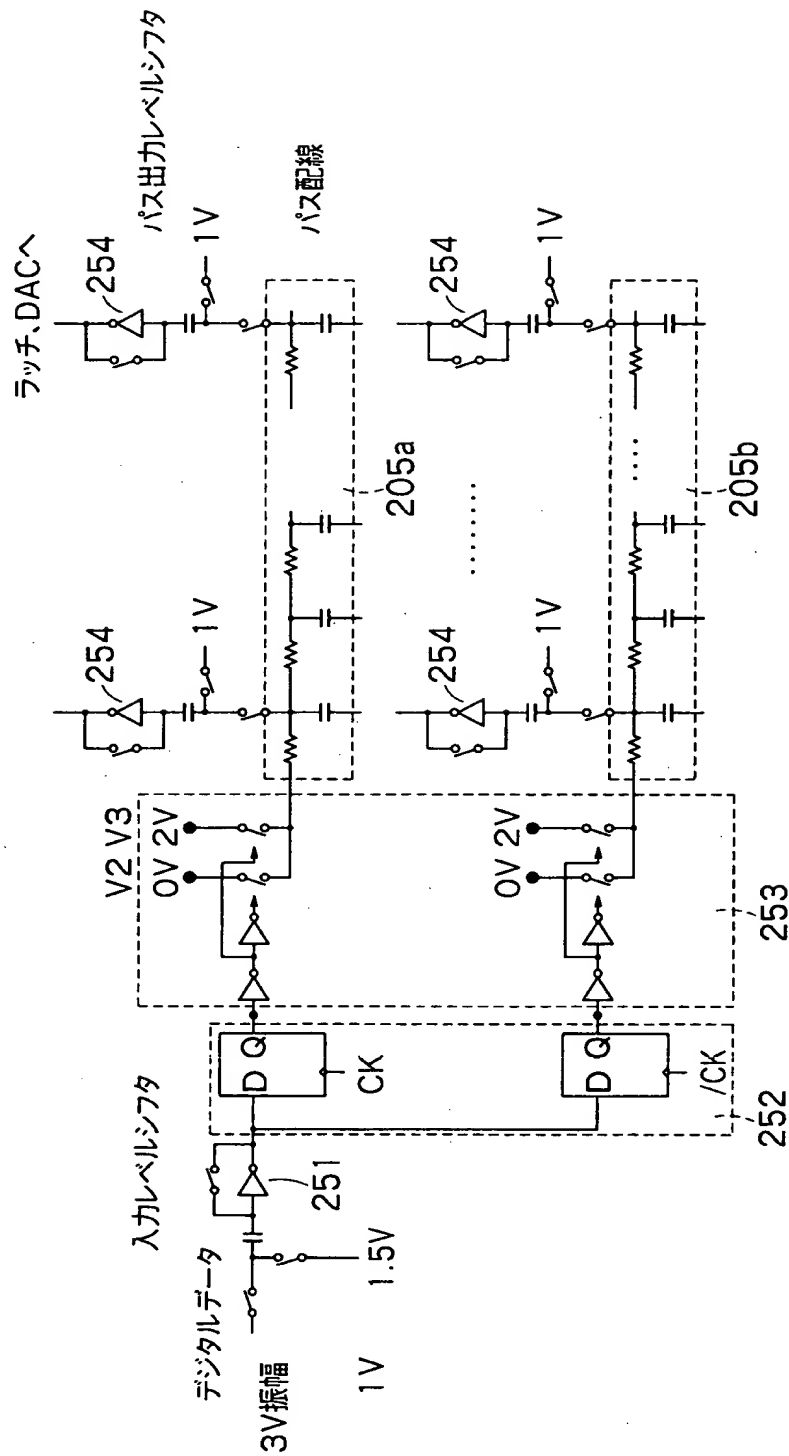
3信号線に対してDACを1個の割合で設けた例(1)



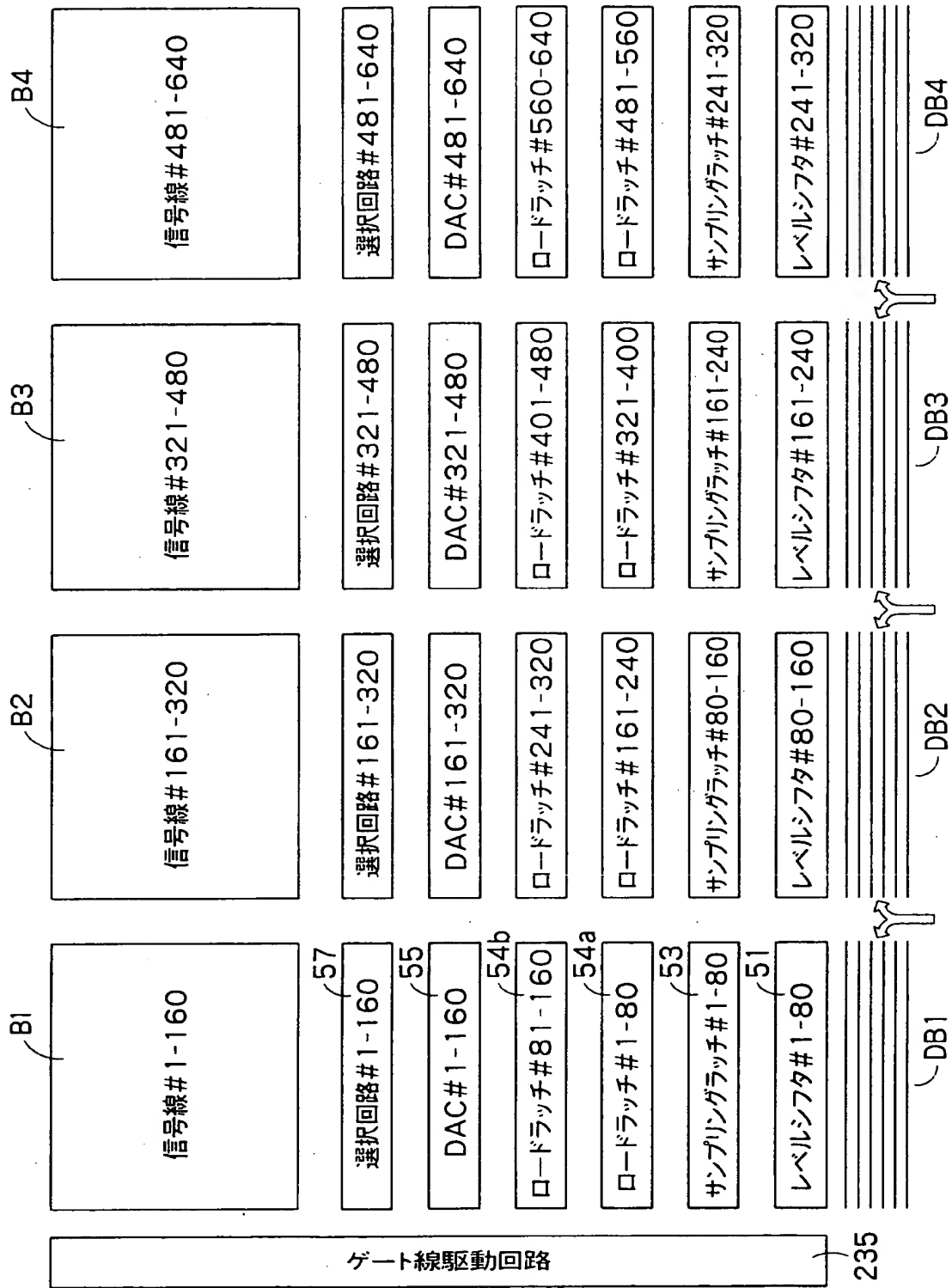
【図 2 5】



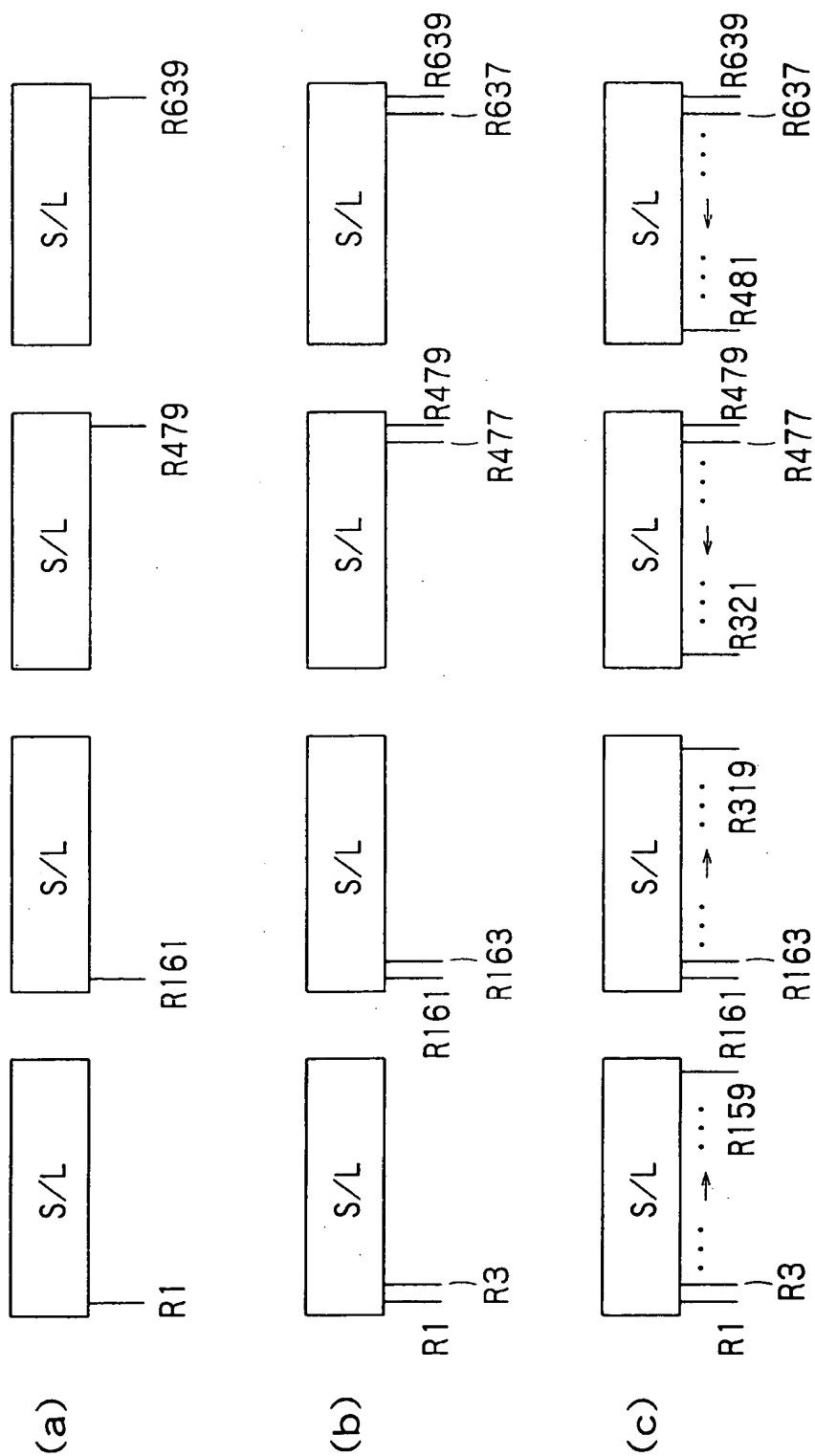
【図 2 6】



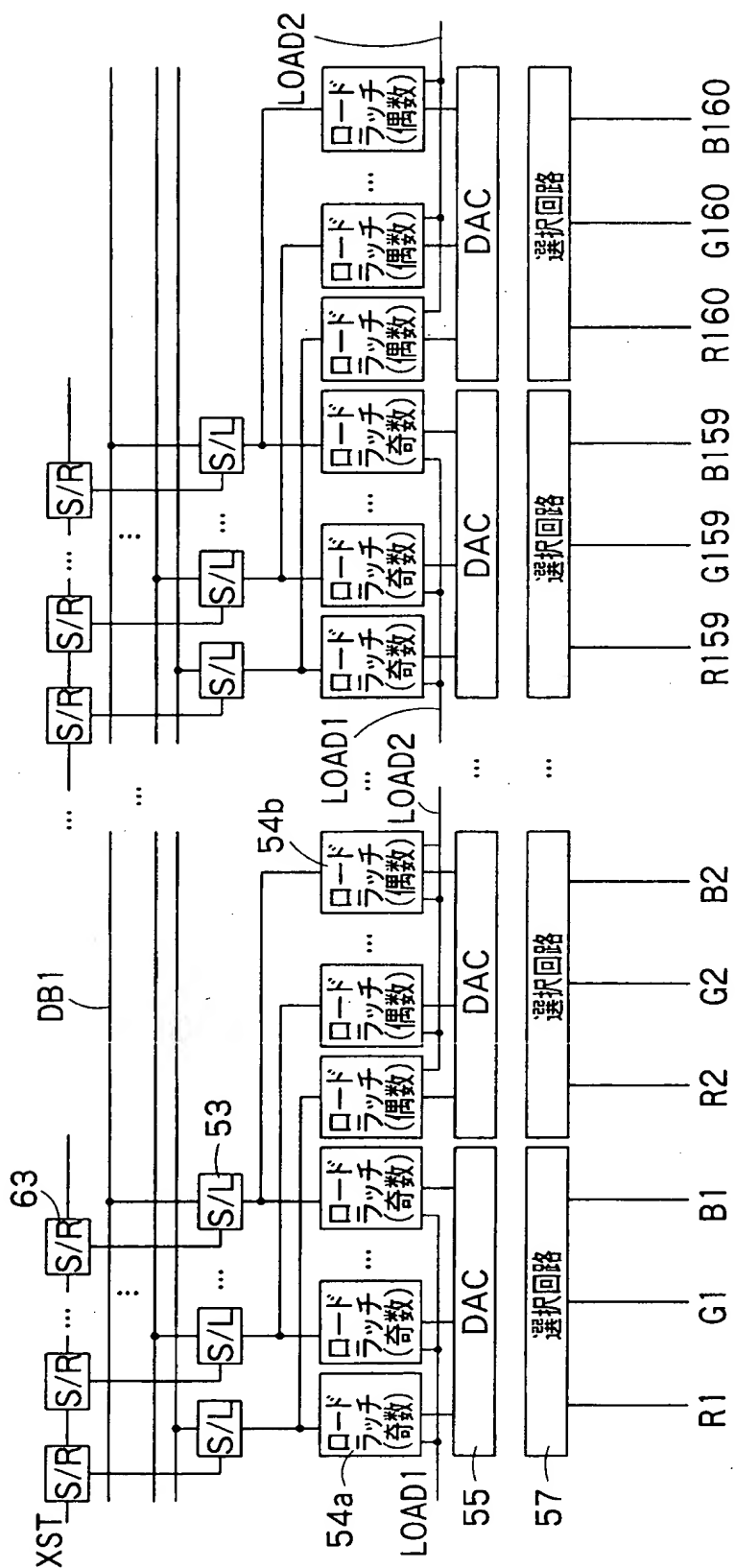
【図 2 7】



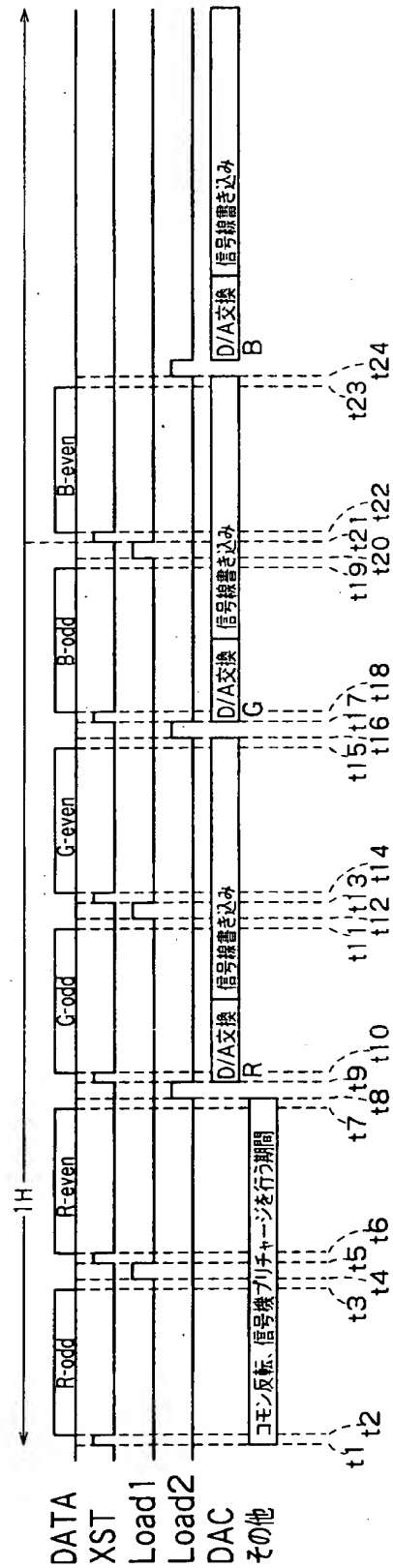
【図 2 8】



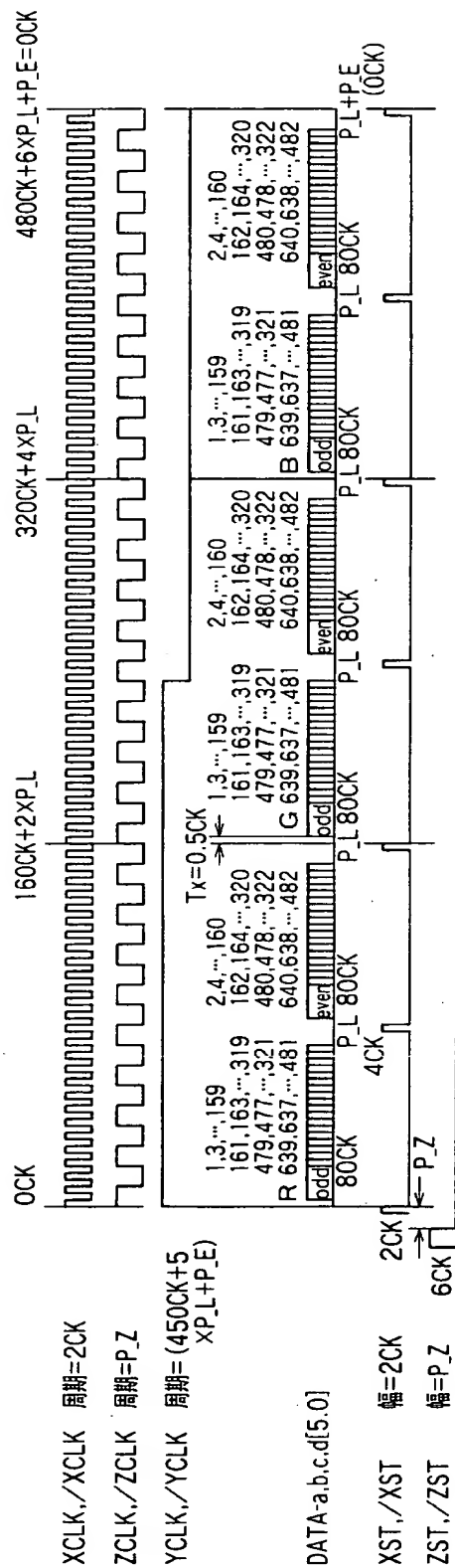
【図 2 9】



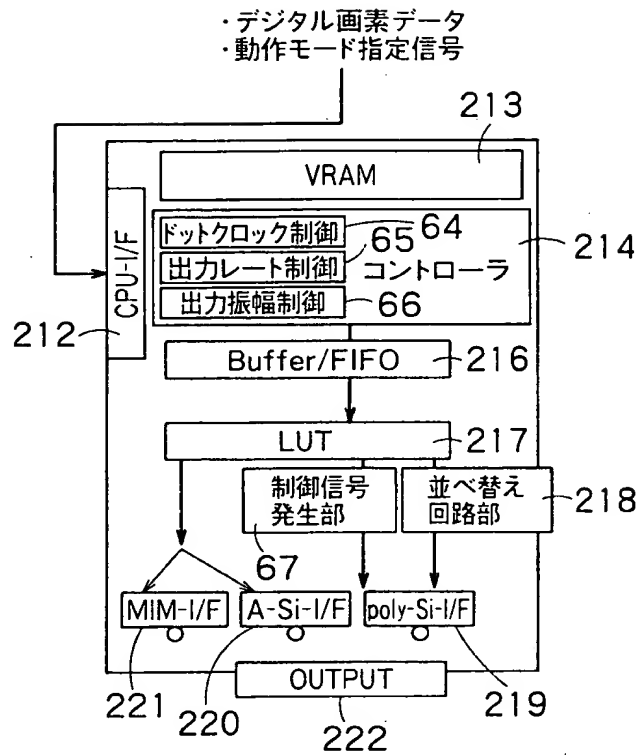
【図 30】



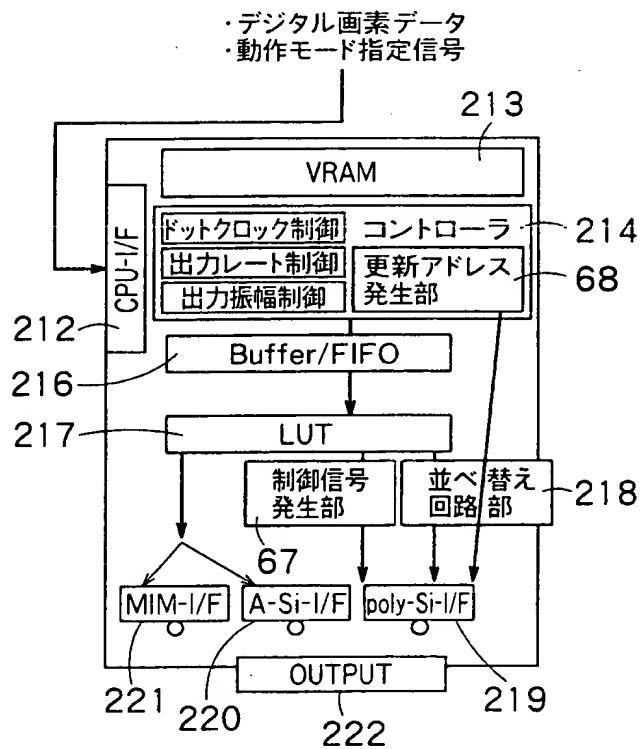
【図 3 1】



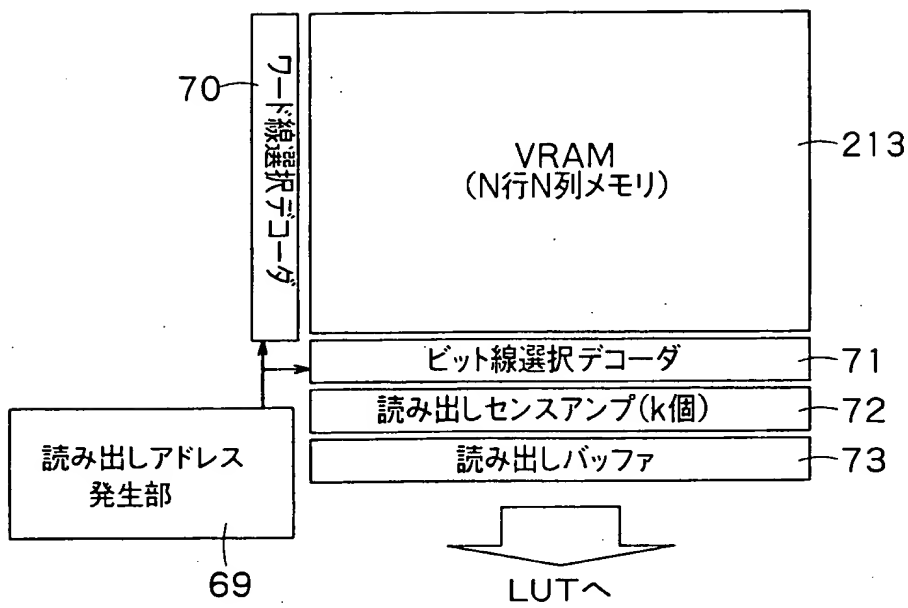
【図 3 2】



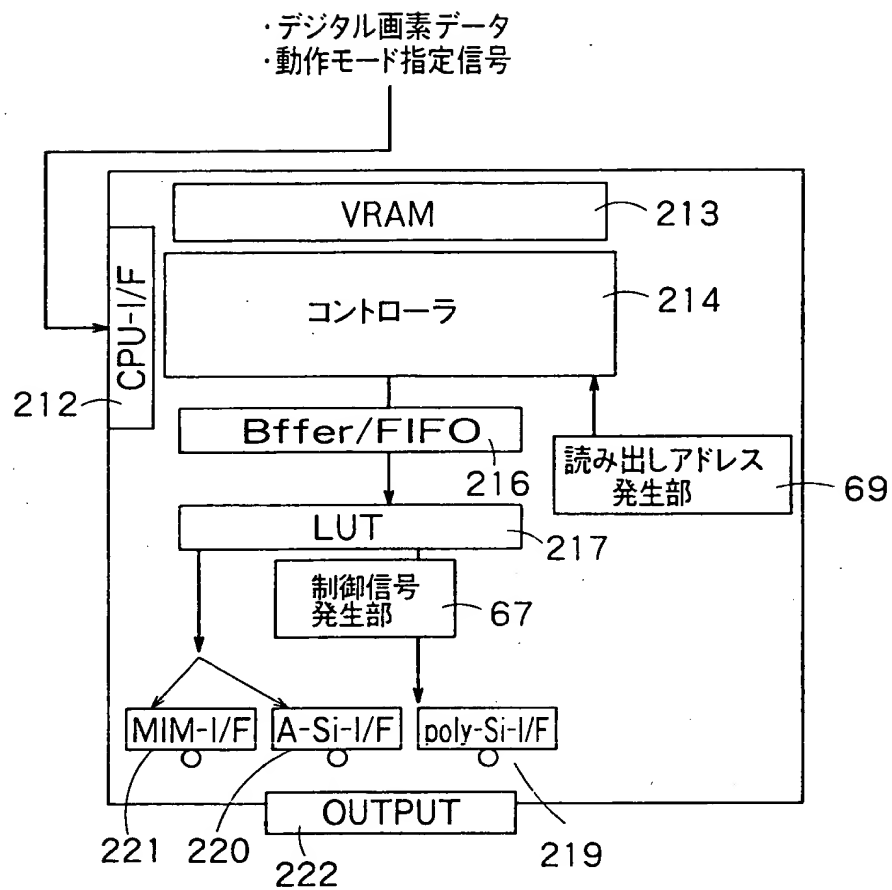
【図 3 3】



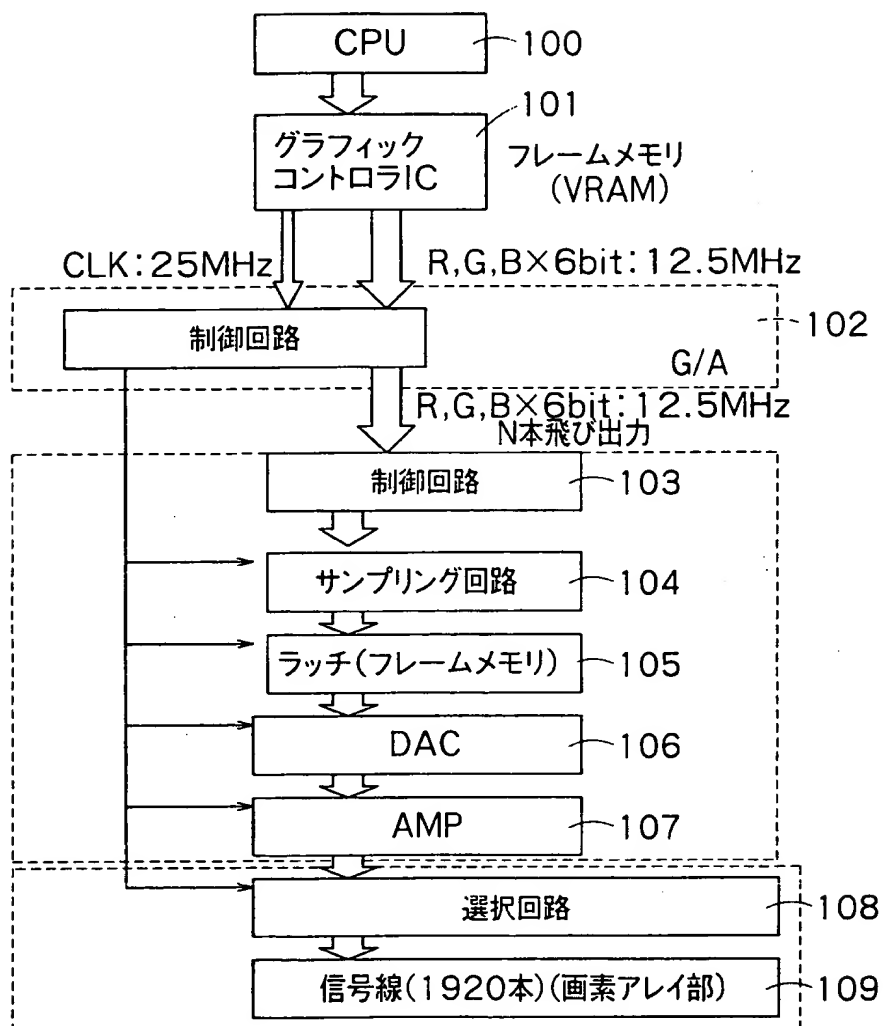
【図 3 4】



【図 3 5】



【図 3 6】



【書類名】 要約書

【要約】

【課題】 本発明は、小型化が可能で、高解像度でも安定動作する表示装置を提供することを目的とする。

【解決手段】 本発明の表示装置は、ガラス基板上にポリシリコンTFTを用いて形成された画素アレイ部、信号線駆動回路、走査線駆動回路および制御回路と、グラフィックコントローラICとを有する。グラフィックコントローラICは、デジタル画素データDATAの並び替えを内部で行うため、ゲートアレイを設ける必要がなくなる。また、クロック信号CLKの周期をデジタル画素データDATAの周期の2倍以上にするため、ポリシリコンTFTが正常に動作する周波数のクロック信号CLKを信号線駆動回路に供給できる。さらに、クロック信号CLKのエッジとデジタル画素データDATAの変化位置とをずらして出力するため、信号線駆動回路でデジタル画素データDATAを確実に取り込むことができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝